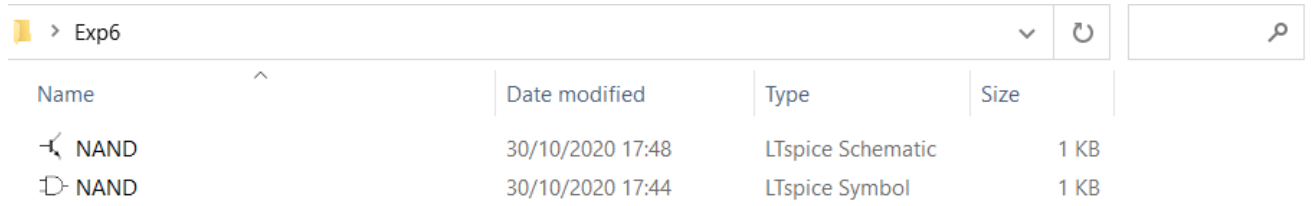


Deneye başlamadan önce

LTSpice dahilinde uygun bir NAND kapısı olmadığından size sağlanan .rar file indirip NAND.sym ve NAND.sch dosyalarına oluşturduğunuz deney klasörüne rar dosyasından çıkarınız. Şekil 1'deki gibi bir deney klasörüne sahip olmanız gerekmektedir. Lütfen deney boyunca yarattığınız spice dosyalarını da bu klasörde tutunuz. Deneyde besleme gerilimi 5V olacaktır. Bu sebeple 5V lojik 1 olarak 0V ise lojik 0 olarak yorumlanacaktır.

LÜTFEN DENEYDE LABEL YÖNTEMİYLE BAĞLANTI YAPMAYA ÇALIŞINIZ. AKSİ TAKDİRDE ŞEMATİKLER ÇOK KARMAŞIK OLACAKTIR.



Name	Date modified	Type	Size
NAND	30/10/2020 17:48	LTspice Schematic	1 KB
NAND	30/10/2020 17:44	LTspice Symbol	1 KB

Şekil 1: NAND .sch and NAND .sym dosyaları ve deney klasörü

Deney 6.1.

NAND kapısının benzetimini yapmak için aşağıdaki dalga formlarını kullanınız.

Giriş A: Vinitial: 0, Von: 5, Tdelay: 25m, Trise: 1m, Tfall: 1m, Ton: 23m, Tperiod: 50m

Giriş B: Vinitial: 0, Von: 5, Tdelay: 50m, Trise: 1m, Tfall: 1m, Ton: 48m, Tperiod: 100m

Çıkış: Girişler ve çıkış için grafiklerinizi çizdiriniz. Mouse sağ tıklayarak add plot pane ile grafikleri birbirinden ayırabilirsiniz. Böylelikle yorumlar daha net yapılabilecektir.

Önerilen Süre: 5 dk.

Deney 6.2.

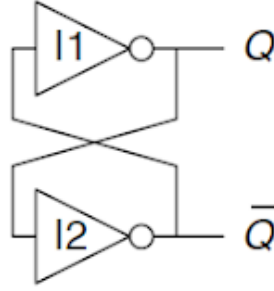
NAND kapısı evrensel bir kapı olduğundan tüm lojik fonksiyonları NAND ile gerçekleyebilirsiniz. Bu kısımda NOT, AND ve OR kapılarını da sadece NAND kapısı kullanarak gerçeklemeniz gerekmektedir. OR kapısı için De Morgan kuralını kullanmanız gerekebilir. Deney 6.1'deki dalga formlarını kullanınız.

Çıkış: Her gerçeklediğiniz kapı için giriş ve çıkışları çizdiriniz.

Önerilen Süre: 15 dk.

Deney 6.3.

Şekil 2’de, bir latch devresi verilmiştir. Bu devre bi-stable latch olarak adlandırılır. Deney 6.2’den hareketle nasıl NOT kapısı gerçekleştirildiğini bildiğiniz için bu latch devresini rahatlıkla gerçekleyebilirsiniz. Bu devrede herhangi bir giriş uygulanmayacaktır. 100 ms transient benzetim yapınız. Her NOT kapısı için giriş sinyallerini çizdiriniz. Bu devrenin sorunu nedir?



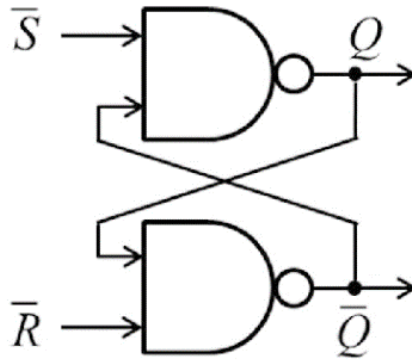
Şekil 2: Latch Devresi

Önerilen Süre: 5 dk.

Deney 6.4.

Bu kısımda SR latch devresi kurulup benzetim yapılacaktır. Bu devre şekil 2’deki devreye göre gelişmiştir. Yalnızca NOT kapıları yerine NAND konularak bu gelişim sağlanmıştır. Deney 6.1’deki giriş dalga formlarını kullanınız.

Çıkış: Giriş ve çıkışları çizdiriniz. Devrenin nasıl çalıştığını yorumlayınız. Devrede bir gariplik var mıdır?



Şekil 3: SR-latch

Önerilen Süre: 10 dk.

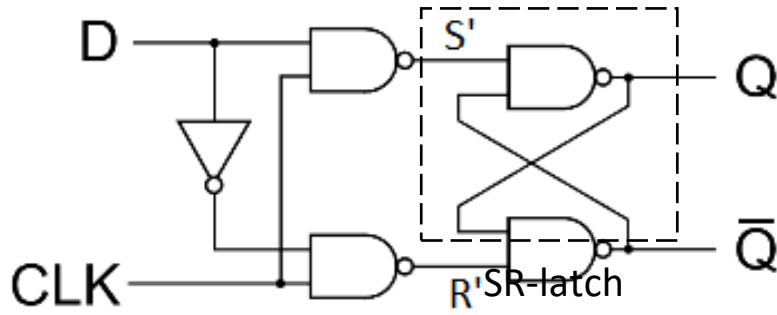
Deney 6.5.

Şekil 4'te SR latch devresinden türetilen ve SR latch devresindeki sorunu çözen D latch devresi verilmiştir. Gerekli eklentileri yaparak D-latch devresini kurunuz. NAND kapısı dışında bir kapı kullanmamanız gerektiğini unutmayınız. CLK ve D sinyalleri için dalga formları aşağıda verilmiştir.

Transient benzetim 1 sn boyunca yapılacaktır. (.tran 1)

Input D: Vinitial: 0, Von: 5, Tdelay: 22m, Trise: 1m, Tfall: 1m, Ton: 48m, Tperiod: 100m
Input CLK: Vinitial: 5, Von: 0, Tdelay: 50m, Trise: 1m, Tfall: 1m, Ton: 100m, Tperiod: 200m

Çıkış: Girişleri ve çıkışı çizdiriniz. Bu kısımda Q_bar sinyalini çizdirmenize gerek yoktur. Sonuçlarınızı gösterip yorumlayınız.



Şekil 4: D-latch

Önerilen Süre: 15 dk.

Deney 6.6.

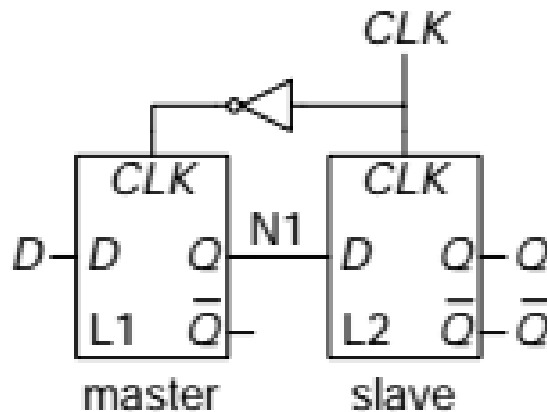
Yukarıda gerçekleştirdiğiniz D-latch devresinden hareketle 2 adet D-latch kullanarak şekil 4'te verilen D-flip flop devresini kurunuz. Bu devre senkron devre tasarımında senkron elemanı olarak kullanılır. Lütfen CLK ve D sinyallerini aşağıdaki gibi kullanınız. Burada CLK sinyalini devrenizin saat sinyali D ise giriş sinyali olarak yorumlanır. Data sinyali D için PWL kaynağı kullanılacaktır. PWL kaynağına ait tablo da aşağıda verilmiştir. Bu devreyi dikkatli kurmaya özen gösteriniz. D-latchleri birbirine bağlarken label hatası yapmamaya özen gösteriniz.

Input CLK: Vinitial: 0, Von: 5, Tdelay: 0, Trise: 1u, Tfall: 1u, Ton: 100m, Tperiod: 200m

Input Data: Insert PWL points exactly as given in below.

Time[s]	Value[V]
0	0
18m	0
18.1m	5
122m	5
122.1m	0
159m	0
159.1m	5
350m	5
350.1m	0
604m	0
604.1m	5
900m	5

Çıkış: CLK, D ve Q sinyallerini çizdiriniz. Devrenin çalışmasını ve latchden farkını yorumlayınız.



Şekil 5: D-flip flop

Önerilen Süre: 20 dk.

Son Güncelleme: 31.10.2020