



ELE 312

Analog Elektronik Devreleri Laboratuvarı

İstanbul Teknik Üniversitesi
Elektrik Elektronik Fakültesi
Elektronik ve Haberleşme Mühendisliği Bölümü

Deneyler

- 1- Alçak Frekans Güç Kuvvetlendiricileri
- 2- Analog Tümdevre Yapı Blokları
- 3- BJT'li Kuvvetlendiricilerin Frekans ve Darbe Cevabı
- 4- Tranzistorlü Kuvvetlendiricilerde Geri Besleme
- 5- PLL Yapı Bloklarının Karakterizasyonu
- 6- Geniş Bantlı Kuvvetlendiriciler
- 7- Alçak Frekans Osilatörleri
- 8- Aktif Süzgeçler
- 9- PLL Uygulamaları
- 10- Anahtarlama Gerilim Regülatörleri

Analog Elektronik Laboratuvarı (ELE 312)

Laboratuvar ile ilgili açıklamalar

"İ.T.Ü. Fakülteler Lisans Yönetmeliği"ne göre, bir öğrencinin bir dersteki başarı notu, sınıfın yarıyıl sonundaki başarı düzeyine göre belirlenir. Bağlı değerlendirme, notların istatistiksel dağılımı ve sınıf ortalaması gözönünde bulundurularak yapılır. Bağlı değerlendirme sonucunda her öğrenciye, dersi veren öğretim üyesi tarafından sınıf içindeki başarı derecesini belirten ve harfle ifade edilen başarı notu verilir.

Bu sistemin ortaya çıkardığı bağlı değerlendirme yöntemi öğrencilerin derslerde olduğu kadar laboratuvar çalışmaları sırasında da kişisel performanslarını en iyi şekilde sergilemelerini gerektirir.

- Öğrencinin laboratuvar başarı notu, dönem içerisinde yapılması zorunlu 10 laboratuvar çalışması ve bunların raporları değerlendirilerek belirlenir. Bir deneye ilişkin not, deney çalışması için %70, deney raporu için %30 ağırlıkla hesaplanır. Yarıyıl sonu sınavı yapılmaz.
- Her öğrenci 9 deney yapmak zorundadır. Bir öğrenci sadece 1 deneye katılmayabilir, ancak, not ortalaması yine 10'a bölünerek hesaplanır.
- Bir öğrenci, geçerli mazereti olarak bir deneye katılmaması durumunda gerekli rapor vb. belgelerle birlikte laboratuvar koordinatörüne mümkünse önceden (sınav-deney çakışması gibi bir durumdaki gibi) veya en kısa zamanda (hastalık durumundaki gibi) başvurmak zorundadır.
- Laboratuvar, deney günleri saat 13:20'de öğrencilere açılır ve öğrenciler en geç 16:30'a kadar deneylerini tamamlamak zorundadır.
- Deney sırasında gruptaki en az bir öğrenci, üzerine deney sonuçlarının yazıldığı, aynı zamanda karalama kağıdı olarak da kullanılabilen protokol kağıdını işlemekle yükümlüdür. Deney çıkışında öğrenciler protokol kağıdını gruptaki öğrenci sayısı kadar çoğaltarak, birbirlerine dağıtırlar. Protokol kağıdı, laboratuvarda verilen deney rapor kapağını taşıyan deney raporuyla birlikte teslim edilir. Raporlar protokol kağıdı ile geçerlidir. Protokol kağıdı olmayan rapor YOK sayılır.
- Her öğrenci her deney için bir rapor hazırlar. Raporun kapağına raporu yazan öğrencinin adı, soyadı, numarası, deney gurubunun numarası, deneyin yapıldığı tarih, deneyin adı ve numarası ile deneyi yaptıran araştırma görevlisinin adı ve soyadı eksiksiz yazılır. (Örnek rapor kapağını www.elelab.itu.edu.tr adresinden bulabilirsiniz.)
- Raporlar, deneyin yapıldığı günden en geç bir hafta sonra saat 12:30'a kadar laboratuvarların bulunduğu koridorun girişindeki rapor kutusuna atılır. Rapor kutusu laboratuvar günleri laboratuvar saatinden önce açılarak raporlar laboratuvar sorumlusu tarafından ilgili araştırma görevlilerine verilir. Rapor kutusu açıldıktan sonra atılan raporlar kabul edilmez; bir başka deyişle gününde ve saatinde teslim edilmeyen raporlar geçersizdir. Ayrıca, içinde protokol kağıdı olmayan raporlar da geçersizdir. Ancak, rapor teslim günü resmi tatile veya herhangi bir nedenden dolayı tatile rastlıyorsa, raporlar tatili izleyen ilk iş günü 12:30'a kadar rapor kutusuna atılır.

- Deney notları, rapor tesliminden sonra iki hafta içerisinde laboratuvara ait internet sayfasında ilan edilir.

Deney çalışmaları

Öğrencinin laboratuvar çalışmasının değerlendirilmesi, ön çalışma, deneyin yapılışı ve ölçüm sonuçlarının değerlendirilmesi gözönünde bulundurularak yapılır.

Ön hazırlık

Deneye gelen her öğrenci, deneye başlamadan önce deney araştırma görevlisi tarafından bir ön bilgi yoklamasına tabi tutulur. Bu yoklama araştırma görevlisinin seçimine bağlı olarak yazılı ya da sözlü biçimde yapılabilir. Bu aşamada öğrenciden beklenenler şunlardır:

- O günkü deneye ilişkin teorik bilgiler, deney föyünden ve gerekiyorsa başka kaynaklardan (ders notları, kitaplar) edinilmelidir. Deney föyleri yarıyıl başlangıcında fotokopiciden alınabilir veya laboratuvar sitesinden indirilebilir. Deney için gerekli olan teorik bilgiler, deney föyünde verilenlerle sınırlı değildir. Öğrenciler deneye gelmeden önce, yeterli teorik altyapıyı her türlü kaynağı kullanarak sağlamakta yükümlüdür.
- Öğrenci o günkü deneyde neler yapılacağını, yapılacak ölçümlerin amacının ne olduğunu ve bu ölçümlerin nasıl yapılacağını (örneğin hangi ölçü aletlerinin kullanılacağını) bilerek deneye gelmeli ve deneylerde kullanılacak ya da ölçülecek elemanların katalog bilgilerini edinmiş olmalıdır.

Deneyin yapılışı

Deney, gruptaki her bir öğrencinin tam katılımıyla yapılır. Deneyin yapılışına ilişkin değerlendirmede aşağıdakiler gözönüne alınır:

- Probleme yaklaşım
- Elde edilen sonuçların doğruluğu
- Sonuçları sorgulama ve yorumlamadaki başarı (gerçekçi olmayan sonuçları farketme ve nedenleri hakkında fikir yürütebilme)
- Aletlerin kullanımı (doğru ve yerinde kullanma yetisi)
- Çıkan sorunlarla başetme yeteneği
- Zamanı verimli kullanma
- Deneyde gösterilen dikkat.

Gruptaki her öğrenci yukarıdaki maddeler açısından ayrı ayrı değerlendirilir.

Ölçüm sonuçlarının değerlendirilmesi

Ölçümler yapıldıkça elde edilen sonuçlar değerlendirilir. Bu değerlendirmede özellikle dikkate alınacak noktalar şunlardır:

- Deneysel sonuçlarının yorumlanması (elde edilen verilerin ne anlama geldiği ve bunlardan ne gibi sonuçlar çıkarılabileceği)
- Gerekli olduğunda teorik ve deneysel sonuçların karşılaştırılması.

Raporlar

Bir deney raporu, deney sonuçlarının sunulup yorumlandığı bir teknik yazıdır; verilmek istenen bilgi rahatlıkla anlaşılır olmalı ve en kısa biçimde anlatılmalı, deney föylerinde bulunan ön bilgi ve şekiller raporda tekrarlanmamalıdır. Örneğin deney montaj şemalarının raporda bulunması gerekli değildir, bunlar föydeki şekil numaralarıyla raporda anılabilir.

Raporu kısa tutmaya özen gösterin ve deney sırasında tutulan notların bulunduğu protokol kağıdının veya bunun fotokopisini eklemeyi unutmayın.

Raporların değerlendirilmesi, biçim, teknik içerik ve sonuçlar gözönünde bulundurularak yapılır.

Raporda mutlaka bulunması gerekenler:

- Deneyin amacını açıklayan kısa bir giriş bölümü
- Tüm ölçüm sonuçlarının düzenli tablolar halinde sunumu (deney sırasında alınan notlardan, yani, protokol kağıdından yararlanılıp temiz olarak yazılacaktır)
- Gerekli grafikler
- Karşılaştırmalar için gerekli olan teorik hesaplamalar (formüller yeniden çıkarılmayacak, sonuçlar ise tablolarda verilecektir)
- Her bir ölçümle ilgili yorumlar
- Deneyden elde edilen sonuçların yorumunun ve deneyin genel değerlendirmesinin yapıldığı kısa bir sonuç bölümü.

Raporların yazımında bilgisayar çıktısı veya tek renk (mavi veya siyah) tükenmez kalem kullanılmalı, kurşun kalem kullanılmamalıdır (çizimde kolaylık sağladığından, grafikler için derseniz kurşunkalem kullanabilirsiniz, ancak teknik bir raporda bu yola gitmemek gerektiğini bilmelisiniz). Raporun tüm ekleri (ayrı kağıda çizilmiş grafikler, deney sırasında protokol kağıdına tutulan notların fotokopileri, vb.) dağılmayacak biçimde rapora tutturulmalıdır.

Burada yazılmayan türden bir sorunla karşılaştığınız zaman laboratuvar koordinatörüne başvurmanız uygun olacaktır.

Analog Elektronik ve Elektroniğe Giriş Laboratuvarı

Deney Raporlarının Puanlanması

Ana Başlık	Alt Başlık	Puan
Rapor Düzeni	Rapor kapağının hazırlanması (İsim, Numara, Bölüm, Deney Tarihi, Deney Başlığı, Grup Numarası)	10
	Raporun genel yapısı (Türkçe'nin düzgün kullanımı, sayfa yapısı, şekil ve grafik düzenler, sayfa numarası vb.)	
Deney Hakkında Bilgi ve Deneyin Yapılışı	Deneyin amacı, deney hakkında kısa bilgi, deneyde yapılanlar	20
Teorik Hesaplamalar	Deneyle ilgili hesapların yapılması, gerekirse benzetim programları (Pspice vb.) ile benzetim yapılması	30
Ölçümlerin, Hesaplamaların ve Varsa Benzetim Sonuçlarının Değerlendirilmesi, Karşılaştırılması ve Yorumlanması	Karşılaştırılacak verilerin bir tablo ile verilmesi, farklılıkların incelenmesi, yorum yapılması, deneyden kazanılan becerilerin değerlendirilmesi	40
	Grafiklerin anlaşılır bir şekilde hazırlanması (Çıktı rengi, istenilen ölçümlerin varlığı, eksenlerin mantıklı ve uygun seçilmesi, grafiklerin adlandırılması vb.)	
	TOPLAM	100

Dikkat edilmesi gereken hususlar:

- Teknik hesaplardan yoksun protokol kağıdının kopyası raporlar,
- Kurşun kalem ile hazırlanan raporlar,
- Kopya raporlar,

GEÇERSİZ KABUL EDİLECEKTİR.

Son Güncellenim: 20.02.2012

Föyün düzenlenmesine katkıda bulunanlar:

Osman Ceylan (Föy düzeni ve Deney 4), Zafer İşcan (Deney 1), Nazan İltüzer (Deney 1), P. Başak Başyurt (Deney 3), Ayan Derya (Deney 5 ve 9), Berat Doğan (Deney 6), Vedat Tavas (Deney 6), Hacer Yıldız (Deney 7), Sinem Keleş (Deney 8), Gürer Özbek (Deney 10)

DENEY – 1

Alçak Frekans Güç Kuvvetlendiricileri

Ön Hazırlık

- **Deneyden Önce Araştırılması Gereken Konular**
 - A/B/AB sınıfı güç kuvvetlendiricileri
 - Distorsiyon (Bozulma)
- **Teorik Hesaplamalar**
 - Şekil 8'deki devrenin, simetrik kırılma koşulu altında (devrenin çıkışı 7.5V değerinde kutuplandığında) ve B sınıfında çalışması için gereken R_1 ve R_2 direnç değerlerini hesaplayınız. (Tranzistorların β_F değerini 250, V_{BE} değerini 0.6V alabilirsiniz.)
- **PSpice ile Devre Analizi**
 - Şekilde devreyi, aşağıda verilen Spice model parametrelerinden yararlanarak kurunuz ve B sınıfı çalışma için uygun R_1 ve R_2 değerlerini belirleyiniz. Çıkışı 7.5V olacak şekilde kutuplayınız.
 - B sınıfı çalışmada $R_L=10\Omega$ için, çıkışta kırılma oluşturmayacak şekilde maksimum genlikli ve frekansı 1kHz olan sinuzoidal giriş işareti uygulayarak çıkış işaretini çizdiriniz. Çıkış gücünü ve verimi hesaplayınız.
 - AB sınıfı çalışmada (uygun R_2 değeri seçilerek AB sınıfına geçiş sağlanabilir) $R_L=10\Omega$ için, çıkışta kırılma oluşturmayacak şekilde maksimum genlikli ve frekansı 1kHz olan sinuzoidal giriş işareti uygulayarak çıkış işaretini çizdiriniz. Çıkış gücünü ve verimi hesaplayınız.

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir ve deney öncesinde sizden alınmayacaktır. Bu kısmı deneyi daha iyi anlamanız için çalışmanız gerekmektedir. Teorik hesaplamaları mutlaka yapmanız gerekmektedir. Deney öncesinde sonuçlar sizden alınacaktır. Ayrıca deney sırasında veya öncesinde yapılacak yazılı ya da sözlü sınavdan başarılı olmanız beklenmektedir.

Amaç

Temel güç kuvvetlendiricisi yapılarından olan B sınıfı ve AB sınıfı kuvvetlendiricilerin çalışma mantığını kavrayarak, bu kuvvetlendiricileri verim ve distorsiyon (bozulma) açısından karşılaştırmak.

Giriş

Analog devrelere bakıldığında, genellikle düşük güçlü bir ön kuvvetlendirme katı ve bu katta elde edilen işaretin gücünü arttıran bir çıkış katından oluştuğu görülür. Çıkış katından istenen özelliklerin başında, girişe uygulanan işareti bozmadan yüke aktarması ve işaretin gücünü olabildiğince yüksek bir verimle çıkışta istenen düzeye getirmesi gelir. Ancak, bu iki özelliği bir arada tam olarak sağlamak genellikle mümkün değildir.

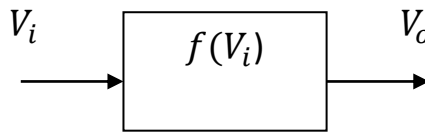
Güç kuvvetlendiricilerinde önemli olan büyüklük yüke aktarılan güçtür. Çıkış katından büyük güçler sağlanmak istendiğinden, devrenin girişine belirlenen bir çalışma noktası civarındaki küçük genlikli işaretler yerine, uç akım ve gerilimlerinin olabildiğince geniş bir aralıkta değişmesini sağlayacak büyük işaretler uygulanır. Bu durumda, elemanlar artık küçük işaret parametreleri ile modellenemeyeceğinden, elemanların büyük işaret modellerini kullanmak gerekir. Girişe uygulanan işaretin hiç bozulmadan çıkışa aktarıldığı durumda denklem 1 geçerlidir.

$$V_o = KV_i \quad (1)$$

V_o : Çıkış işaretinin genliği, V_i : Giriş işaretinin genliği, K : sabit

(1) denkleminde bakıldığında, devrenin doğrusal (doğrusal) olduğu görülmektedir. Hâlbuki, elektronik devrelerin gerçekleştirilmesinde kullanılan temel aktif elemanların büyük işaret davranışlarının doğrusal olmadığı bilinmektedir. Bu nedenle girişe uygulanan işaretin bir miktar bozulacağı aşikârdır.

Giriş işareti olarak sinüs dalgası uygulandığını düşünelim. Söz konusu kuvvetlendiricinin giriş-çıkış ilişkisi Şekil-1’de gösterildiği gibi, $V_o = f(V_i)$ fonksiyonu ile ifade edilsin.



Şekil 1. Kuvvetlendiricinin giriş-çıkış ilişkisi

Şekil-1’deki ifade, Taylor serisi kullanılarak bir kuvvet serisi ile denklem 2’deki gibi gösterilebilir.

$$V_o = A_o + A_1V_i + A_2V_i^2 + A_3V_i^3 + \dots \quad (2)$$

V_i olarak $\sin\omega t$ işaretinin alındığı hesaba katılırsa, uygun trigonometrik dönüşümler yapıldığında çıkıştaki işaret denklem 3’deki gibi yazılabilir.

$$V_o = B_o + B_1\sin\omega t + B_2\sin 2\omega t + B_3\sin 3\omega t \quad (3)$$

Denklem (3)’e bakıldığında, sistemin doğrusal olmamasından kaynaklanan ve girişe uygulanan işarete bulunmayan yeni bileşenlerin ortaya çıktığı görülür. Yeni bileşenlerin frekansları, giriş işaretinin frekansının tam katlarıdır ve bu bileşenler, “harmonikler” olarak adlandırılırlar. Temel frekansta çıkışa aktarılan güç (P_1), denklem 4’de verilmiştir.

$$P_1 = \frac{B_1^2}{2R_L}, \quad R_L: \text{yük direnci} \quad (4)$$

Yüke aktarılan toplam güç (P) (denklem 5):

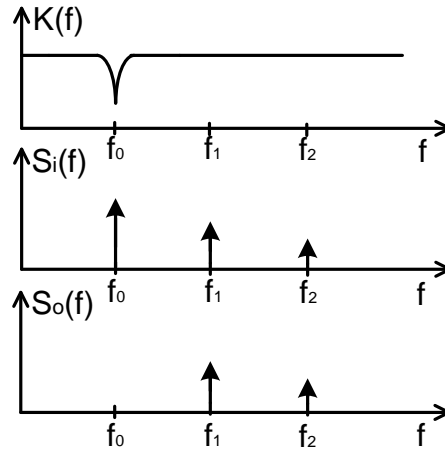
$$P = \frac{1}{2R_L} (B_1^2 + B_2^2 + B_3^2 + \dots) \quad (5)$$

Yüke aktarılan toplam gücün (P), temel frekansta yüke aktarılan güç cinsinden ifadesi denklem 6'da gösterilmiştir.

$$P = (1 + D^2)P_1 \quad (6)$$

$$D_i = \frac{B_i}{B_1}, \quad D = \sqrt{D_2^2 + D_3^2 + D_4^2 + \dots}$$

Denklem 6'da gösterilen D değeri, "toplam harmonik distorsiyonu" olarak adlandırılır ve işaretin ne kadar bozulduğunun bir ölçüsü olarak kullanılabilir. D değerini ölçmek için kullanılan cihaza "distorsiyonmetre" adı verilir. Distorsiyonmetre esas olarak, temel frekanstaki işaret bileşenini, merkez frekansı değiştirilebilen bir çentik filtre ile söndürerek, geriye kalan distorsiyon bileşenlerinin toplam gücünü ölçer ve buna göre D değerini belirler. Şekil 2'de, temel frekanstaki işaret bileşeninin söndürülmesi açıklanmıştır.

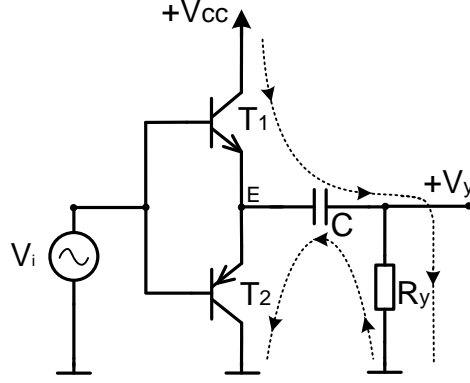


Şekil 2. Temel frekanstaki işaret bileşeninin söndürülmesi

Şekil 2'de, çentik filtrenin frekansa bağlı kazanç eğrisi $K(f)$ ile gösterilmiştir. Filtrenin uygulandığı işaretin frekans bandındaki ($S_i(f)$) f_0 temel frekansına ait bileşen, filtrelemeden sonra elde edilen işaretin ($S_o(f)$) frekans bandında gözükmemektedir.

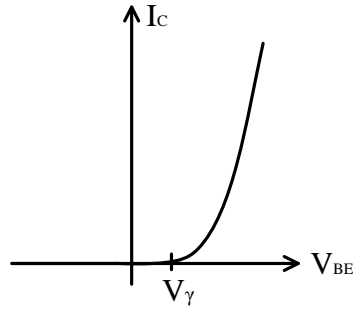
Güç kuvvetlendiricileri çalışma noktalarının yerine ve yapılarına göre farklı isimlerle (A, B, AB, C, D, E, F, G, H) sınıflandırılmışlardır. Deneyde yalnızca B ve AB sınıfı çalışma incelenecektir. Bu kuvvetlendiricilerin çıkış katları, genellikle bir npn-pnp eşlenik (complementary) tranzistor çifti kullanılarak gerçekleştirilirler.

B sınıfı çalışma: B sınıfı çalışmada, çıkış katındaki tranzistorlerin her biri yalnız bir yarım periyod süresince iletme sokulur ve bu şekilde tüm periyodun kuvvetlendirilmesi sağlanır. Kısaca, giriş işaretinin bir yarım periyodunda npn, diğer yarım periyodunda ise pnp transistor iletme sokulmaktadır. Şekil 3’de tek kaynaklı B sınıfı kuvvetlendirici yapısı gösterilmiştir.



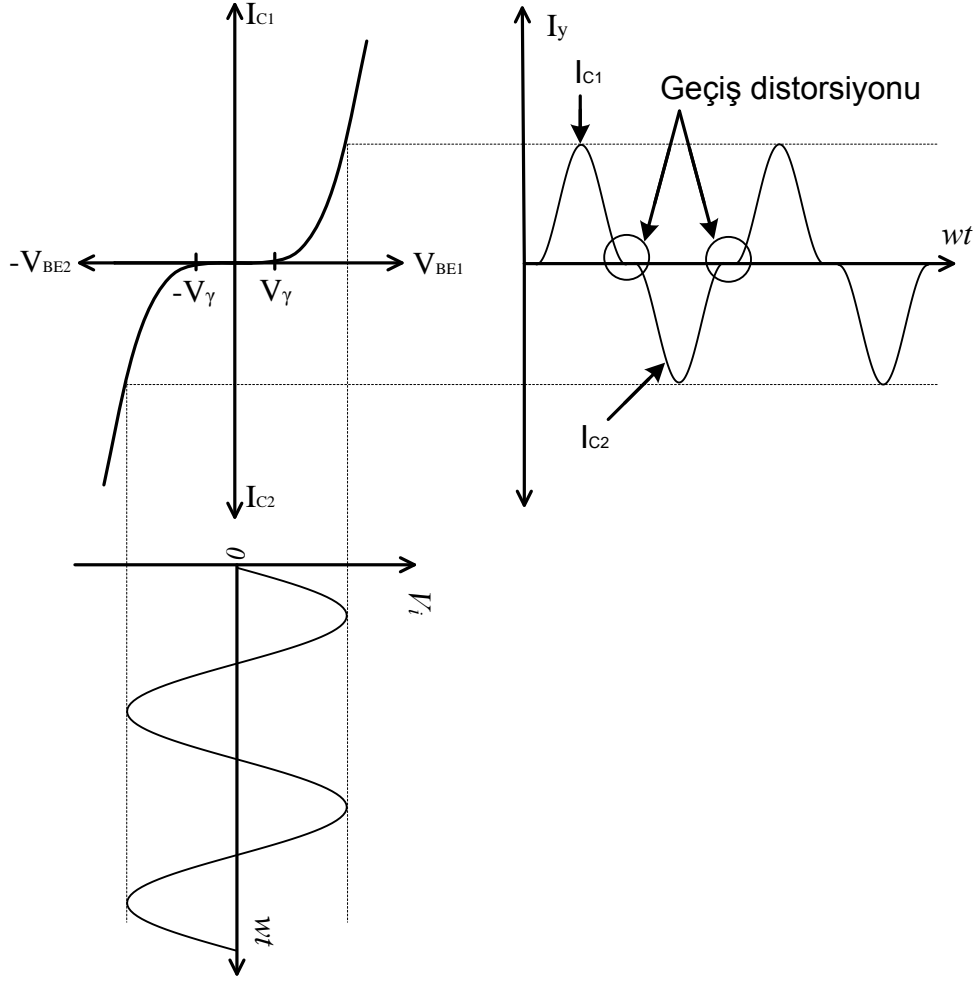
Şekil 3. Tek kaynaklı B sınıfı kuvvetlendirici yapısı

Bu çalışma şeklinin sakıncası, sıfır geçişlerinde distorsiyona neden olmasıdır. Bir bipolar npn transistorün kollektör akımının (I_c) baz emetör gerilimi (V_{BE}) ile değişim karakteristiği Şekil 4’de gösterilmiştir. Görüldüğü gibi, karakteristiğin sıfır geçişinde önemli bir eğrisellik (non-doğrusallık) bulunmaktadır.



Şekil 4. Bir bipolar npn transistorün kollektör akımının baz emetör gerilimi ile değişimi

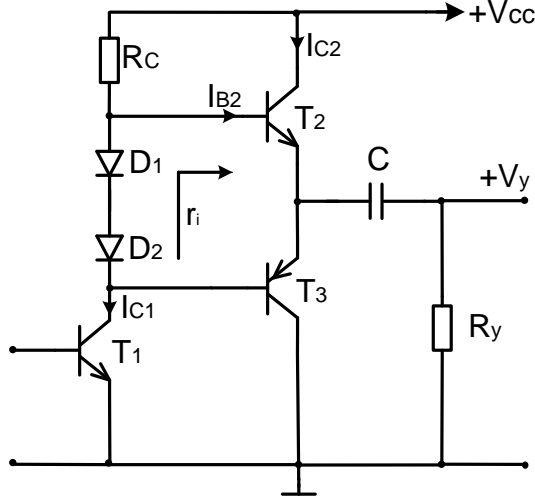
Şekil 5’de, B sınıfı çıkış katı tranzistorlerinin I_c - V_{BE} karakteristikleri verilmiş ve geçiş distorsiyonunun oluşumu gösterilmiştir.



Şekil 5. B sınıfı çıkış katı transistörlerinin I_c - V_{BE} karakteristikleri ve geçiş distorsiyonu

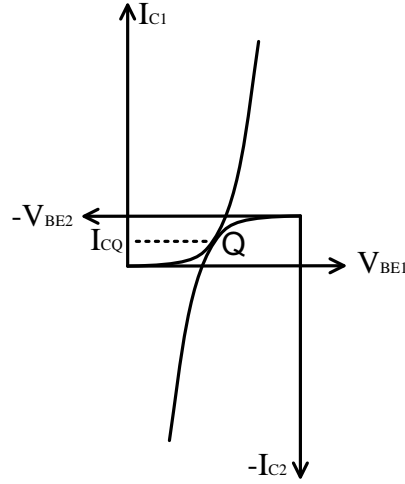
Şekil 5’de görüldüğü gibi, B sınıfı güç kuvvetlendiricisi devresinin girişine sinüs biçimli işaret (V_i) uygulandığında, çıkış işaretinde (I_y) sıfır geçiş bölgelerinden dolayı geçiş distorsiyonu oluşur.

AB sınıfı çalışma: Geçiş distorsiyonundan kurtulmak için, eşlenik transistörler farklı bir çalışma noktasında kutuplanarak, sükûnette bir miktar akım akmasına izin verilir. Bu durumda, sıfır geçişi civarında transistörlerden birisi mutlaka iletimde olacağından, geçiş distorsiyonu görülmez ve devre AB sınıfı olarak adlandırılır. Şekil 6’da tek kaynaklı AB sınıfı kuvvetlendirici yapısı gösterilmiştir.



Şekil 6. Sürücü katla birlikte AB sınıfı kuvvetlendirici yapısı

Şekil 6'da gösterilen D_1 ve D_2 diyotları, eşlenik tranzistorlerin V_{BE} gerilimlerini belirli bir değerde tuttuklarından, sükûnette de bir miktar akım akmaktadır. Şekil 7'de AB sınıfı çıkış katı tranzistorlerinin geçiş eğrileri kutuplama şartıyla (Q) birlikte gösterilmiştir.



Şekil 7. AB sınıfı çıkış katı tranzistorlerinin geçiş eğrileri ve çalışma noktası (Q)

AB sınıfı güç kuvvetlendiricilerinde çalışma noktası Şekil 7'de gösterildiği gibi sıfır geçişinin üzerinde seçildiğinden geçiş distorsiyonu görülmez. Ancak, sükûnette akım akmasından ötürü devrenin verimi azalmaktadır.

BD135 Tranzistoru model parametreleri:

.MODEL BD135 NPN (IS=4.815E-14, NF=0.9897, ISE=1.389E-14, NE=1.6, BF=124.2, IKF=1.6, VAF=222, NR=0.9895, ISC=1.295E-13, NC=1.183, BR=13.26, IKR=0.29, VAR=81.4, RB=0.5, IRB=1E-06, RBM=0.5, RE=0.165, RC=0.096, XTB=0, EG=1.11, XTI=3, CJE=1.243E-10, VJE=0.7313, MJE=0.3476, TF=6.478E-10, XTF=29, VTF=2.648, ITF=3.35, PTF=0, CJC =3.04E-11, VJC =0.5642, MJC=0.4371, XCJC=0.15, TR=1E-32, CJS=0, VJS=0.75, MJS=0.333, FC=0.9359)

BD136 Tranzistoru model parametreleri:

.MODEL BD136 PNP (IS=7.401E-14, NF=0.9938, ISE=4.104E-16, NE=1.054, BF=336.5, IKF=0.1689, VAF=22.47, NR=0.9913, ISC=1.290E-14, NC=1.100, BR=13.91, IKR=9.888E-2, VAR=30, RB=0.5, IRB=1E-06, RBM=0.5, RE=0.208, RC=5.526E-02, XTB=0, EG=1.11, XTI=3, CJE=1.066E-10, VJE=0.69, MJE=0.3676, TF=2.578E-10, XTF=13.56, VTF=2.366, ITF=1.304, PTF=0, CJC=5.234E-11, VJC=0.6431, MJC=0.4436, XCJC=0.44, TR=1E-25, CJS=0, VJS=0.75, MJS=0.333, FC=0.99)

BC237 Tranzistoru model parametreleri:

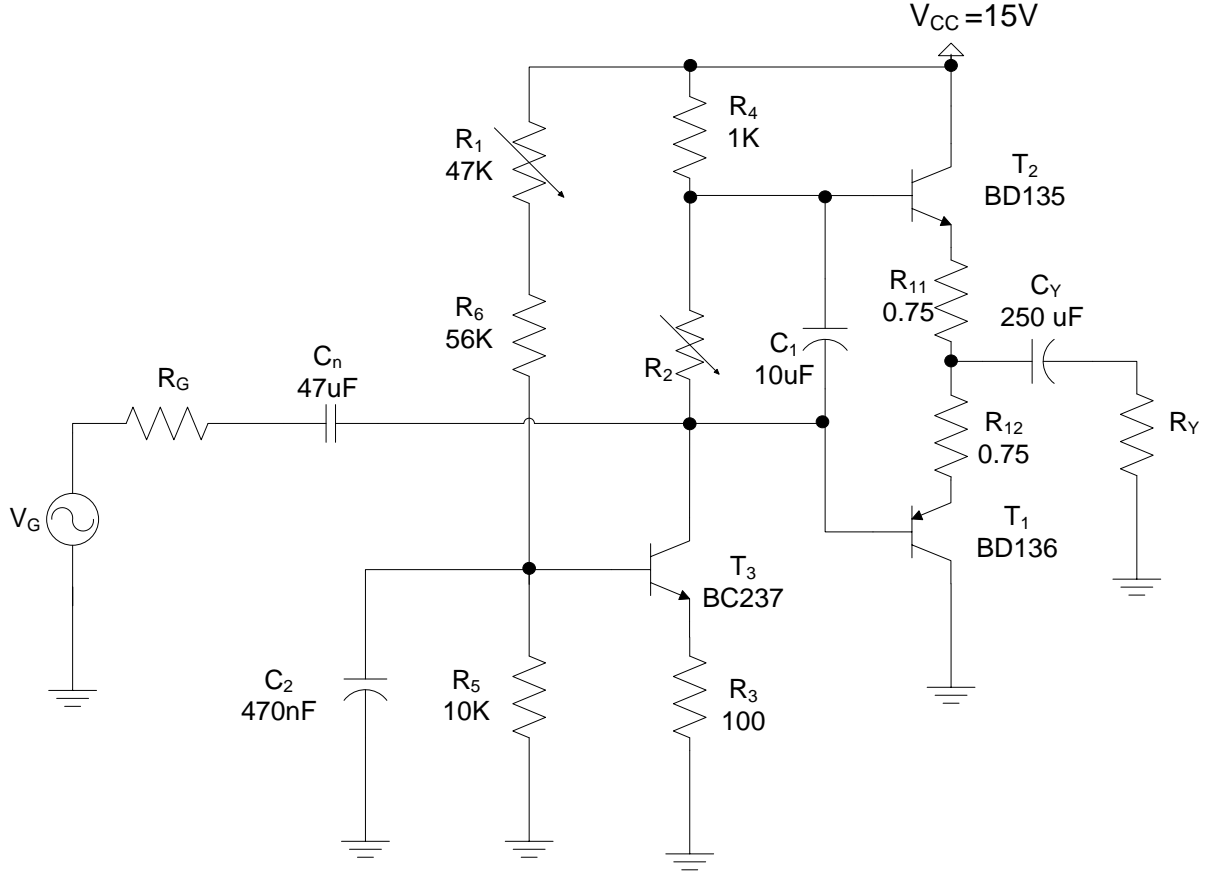
.MODEL BC237 NPN (IS=1.8E-14, ISE=5.0E-14, NF=0.9955, NE=1.46, BF=400, BR=35.5, IKF=0.14, IKR=0.03, ISC=1.72E-13, NC=1.27, NR=1.005, RB=0.56, RE=0.6, RC=0.25, VAF=80, VAR=12.5, CJE=13E-12, TF=0.64E-9, CJC=4E-12, TR=50.72E-9, VJC=0.54, MJC=0.33)

Kaynaklar:

- 1) D. Leblebici, Elektronik Devreleri, İTÜ Matbaası, 1992.
- 2) A. B. Grebene, Bipolar and MOS Analog Integrated Circuit Design, Wiley Classics Library, 2001.
- 3) P. R. Gray and R. G. Meyer, Analysis and design of analog integrated circuits, John Wiley, 1993.
- 4) M. S. Türköz, Elektronik, Birsen Yayınevi, İstanbul, 2004.

Deneyin Yapılışı:

Şekil 8’de görülen devreyi kurarak, girişe 1 kHz’lik sinüs işareti (V_G) uygulayınız.



Şekil 8. B ve AB sınıfı güç kuvvetlendiricileri uygulama devresi

1. (a) R_2 direncini değiştirerek devreyi B sınıfında çalıştırırken (çıkış işaretindeki sıfır geçişlerine bakarak bunu sağlayabilirsiniz), R_1 direnci yardımıyla da devreyi büyük işaretleri simetrik olarak kırpacak şekilde kutuplayınız. Çıkış işaretinin genliğini seçerken, alttan veya üstten kırılma olmamasına dikkat ediniz. Osiloskopta gördüğünüz işareti çiziniz.

(b) B sınıfı çalışmada, çıkış işaretinin farklı genlik değerleri için protokol kâğıdında yer alan Tablo 1’i doldurunuz.

2. (a) R_2 direncini değiştirerek devreyi AB sınıfı çalışmaya getiriniz (Sükûnette akan akımı fazla yükseltmemek için, geçiş distorsiyonunun kaybolduğu ilk noktayı aşmamaya özen gösteriniz). Osiloskopta gördüğünüz işareti çiziniz.

(b) AB sınıfı çalışmada, çıkış işaretinin farklı genlik değerleri için protokol kâğıdında yer alan Tablo 2’yi doldurunuz.

3. AB sınıfı çalışmada girişe sinüs yerine aynı frekansta kare dalga uygulayarak, önceki adımda kullanılan bir çıkış gerilimi değeri için Tablo 3’ü doldurunuz.

DENEY – 2

Analog Tümdevre Yapı Blokları

Ön Hazırlık

- **Deneyden Önce Araştırılması Gereken Konular**
 - İdeal bir akım kaynağı ile pratikte kullanılan akım kaynaklarının arasındaki temel fark nedir?
 - Bir npn tranzistorun I_C - V_{CE} grafiğini inceleyerek, tranzistorun çıkış direnci olan r_o ' nun bu grafiği nasıl etkilenir?
 - Bir tranzistorun çıkış direnci r_o nasıl arttırılabilir?
 - Early olayı ve gerilimi nedir?
 - Çok çıkışlı bir akım kaynağı elde etmek mümkün müdür?
- **Teorik Hesaplamalar ve PSpice ile Devre Analizi**
 - Şekil 3, 6a ve 7a'da bulunan devrelerin DC çalışma noktalarını hesaplayınız. (Hesaplamalar için V_{BE} gerilimini 0.75V alınabilir.)
 - Şekil 3, 6a ve 7a'da bulunan devrelerin referans akımı ile çıkış akımı arasındaki ilişkiyi çıkartınız.
 - Şekil 3, 6a ve 7a'da bulunan devrelerin çıkış dirençlerinin denklemlerini çıkarınız.
 - Şekil 3, 6a ve 7a'da bulunan devrelerin PSpice ile benzetimleri yapılarak .
 - a. DC çalışma noktalarını bulunuz.
 - b. Çıkış dirençlerinin değerini bulunuz.
 - Tek bir referans akımından yararlanarak birden fazla akım kaynağı elde edilmek istendiğinde
 - a. Her koldan akan akım, I_{ref} referans akımı ve çıkış sayısına bağlı olarak nasıl değişir?
 - b. Çıkış sayısını sınırlayan etken nedir? Açıklayınız.
 - Emetöründe direnç bulunan ve Wilson akım kaynağının:
 - a. Giriş akımı ile çıkış akımı arasındaki bağıntıyı çıkarınız.
 - b. Çıkış dirençlerini bulunuz.

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir.

Giriş ve Amaç

Günümüzde tümdevre teknolojisinin hızla ilerlemesiyle elektroniğin pek çok alanında ayırık elemanların yerini tümdevreler almaktadır. Böylece tümleştirmenin getirdiği çok sayıda avantajdan yararlanmak mümkündür. Bu avantajların bazıları, özdeş (fiziksel özellikleri birbirine çok yakın veya aynı) elemanların kolayca elde edilebilmesi, küçük boyutta yüksek performans ve güvenilirlikte üretim olarak sayılabilir.

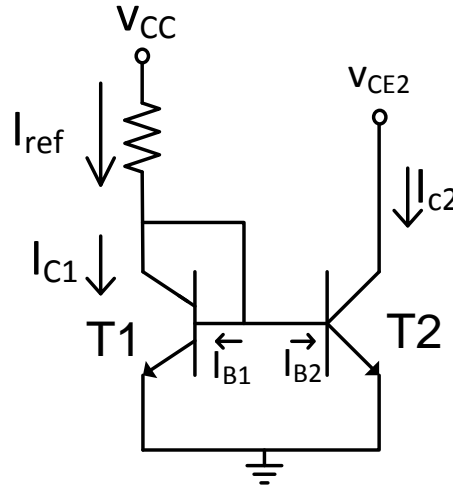
80'li yılların ilk yarısında bipolar teknoloji analog, MOS teknoloji de dijital devrelerin üretimi için kullanılmıştır. 80'li yılların sonu ve 90'lı yıllarda ise gelişen üretim tekniklerinin avantajlarından yararlanmak için analog işlemleri de yerine getirmek üzere MOS teknoloji kullanılmaya yönelinmiştir. Başlangıçta karmaşık dijital fonksiyonların analog işlemler ile aynı teknolojiyi kullanarak tek bir kırmıkta bir araya getirilmesi amacıyla çıkılan bu yolda MOS lehine pek çok olumlu gelişme sağlanmıştır.

Bu çalışmada analog tümdevrelerde kullanılan basit yapı bloklarından bazıları incelenecektir.

Ön Bilgi

Tranzistorlu akım kaynakları, hem kutuplama hem de kuvvetlendirici katlarında yük elemanı olarak özellikle analog tümdevrelerde yaygın şekilde kullanılırlar. Kutuplamada kullanılmaları durumunda devrenin sıcaklık ve besleme gerilimine bağımlılığını azaltırlar. Tümdevre üzerinde dirençten daha az yer kaplamaları nedeniyle özellikle düşük akımlarda tercih edilirler. Çıkış dirençlerinin büyük olması sayesinde aktif yük elemanı olarak kullanıldıklarında düşük besleme gerilimlerinde büyük kazanç sağlanabilir.

En basit akım kaynağı Şekil 1'deki gibi elde edilebilir.



Şekil 1. Basit akım kaynağı (Akım aynası)

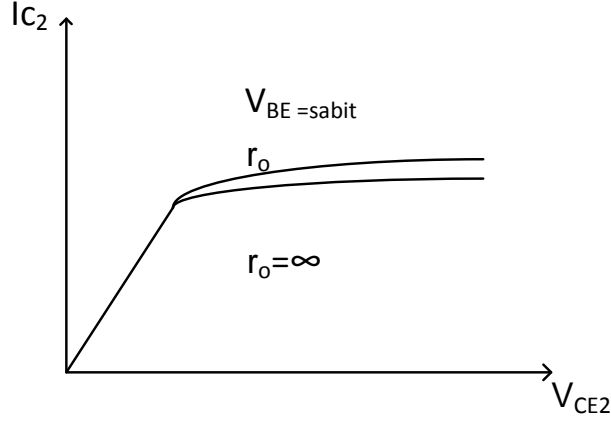
T2 tranzistorunun çıkış direnci sonsuz (I_{C2} , V_{CE2} 'den bağımsız), T1 ve T2'nin eş tranzistorlar olması durumunda ,

$$I_{C1} = I_{C2} \quad (1)$$

$$I_{C2} = \frac{I_{ref}}{1 + \frac{2}{hFE}} \quad (2)$$

bağıntılarını elde ederiz.

Gerçekte ise çıkış direnci sonsuz olmadığından, I_{C2} akımı kolektör noktasının geriliminin değişmesi durumunda sabit kalmaz (Şekil 2) ve artan kolektör gerilimi ile akım büyür.



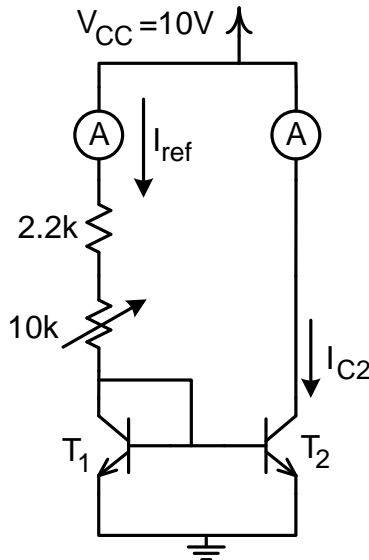
Şekil 2. npn tranzistor için $r_o = \infty$ ve r_o 'nun sonlu olduğu pratik durum için kolektör karakteristikleri

Baz genişliği modülasyonu etkisi (Early olayı),

$$I_c = I_s e^{V_{BE}/VT} \left(1 + \frac{V_{CE2}}{V_A}\right) \quad (3)$$

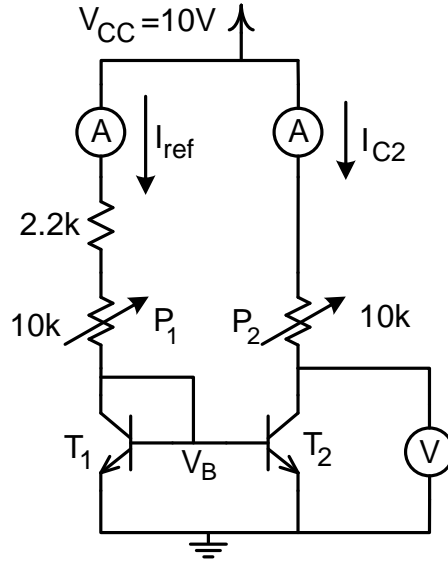
olarak ifade edilebilir. Burada V_A Early gerilimidir. Büyük besleme gerilimleri söz konusu olduğunda çıkış direnci küçük kalacağından (V_{CE2} 'ye bağlılık fazla olacağından) I_{ref}/I_{C2} oranı, çıkış direncinin etkisinin ihmal edildiği durumdan oldukça farklı çıkabilir.

Basit akım kaynağını incelemek üzere Şekil 3'deki devreyi kurarak I_{ref} 'in 5 mA 'den küçük değerleri için $I_{ref} - I_{C2}$ karakteristiğini çıkarın. Bu ölçümlerden V_A 'nın ve h_{FE} 'nin yaklaşık değerlerini bulun.



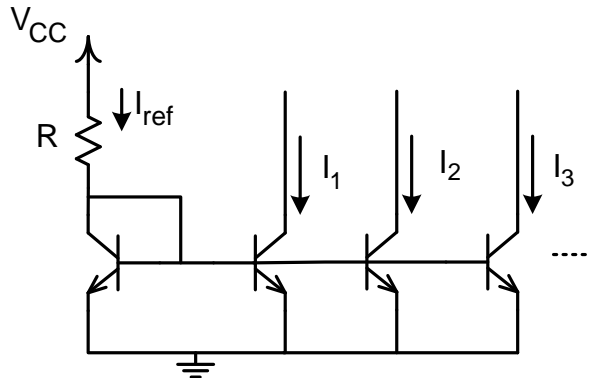
Şekil 3.

Şekil 3'teki devreyi Şekil 4'teki gibi değiştirerek önce P_2 potansiyometresi devrede yokken, P_1 potansiyometresi yardımı ile referans akımının değerini $I_{ref} \approx 2mA$ yapınız. Bu durum için I_{C2} akımı ve V_B gerilimini ölçüp kaydediniz. $I_{ref} = 2mA$ durumu korunarak, P_2 potansiyometresi yardımı ile V_{CE2} gerilimini 1V-10V aralığında değiştirerek ve ölçme noktalarından biri $V_{CE2} = V_{CE1}$ olacak şekilde, $I_{C2} - V_{CE2}$ karakteristiğini çıkarınız ve elde ettiğiniz sonuçları yorumlayınız.



Şekil 4.

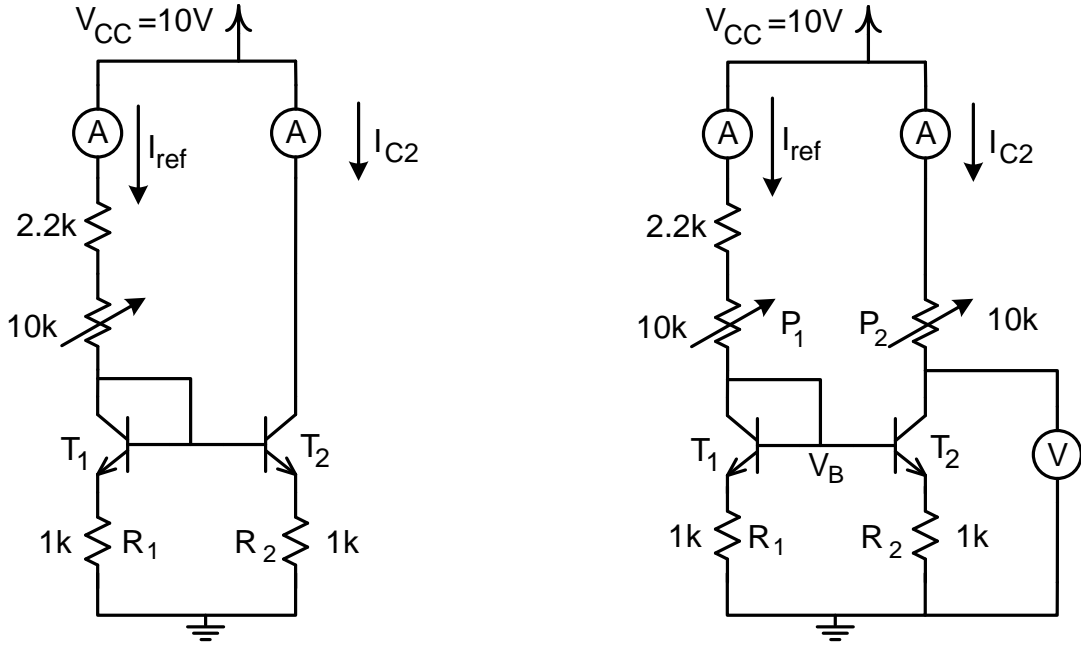
Bir çok uygulamada referans akımı I_{ref} 'den yararlanarak birden fazla akım kaynağı elde edilmek istenir. (Şekil 5)



Şekil 5. Çok çıkışlı basit akım kaynağı

Bu durumda her koldan akan akım, I_{ref} referans akımı ve çıkış sayısına bağlı olarak nasıl değişir?

Çıkış direncini artırmak için şekil 6'daki devre önerilebilir. Bu durumda Şekil 6a'daki devreyi kullanarak I_{C2} ile I_{ref} arasındaki ilişkiyi veren bağıntıyı elde edin. Emetörde direnç bulunan basit akım kaynağı için $R_1 = R_2 = 1K\Omega$ olduğu durumda daha önce elde ettiğiniz gibi $I_{C2} - I_{ref}$, $I_{C2} - V_{CE2}$ karakteristiklerini sırasıyla şekil 6a ve şekil 6b deki devreleri kullanarak çıkarın. Elde ettiğiniz sonuçları, daha önceki devrenin sonuçları ile karşılaştırıp yorumlayın.

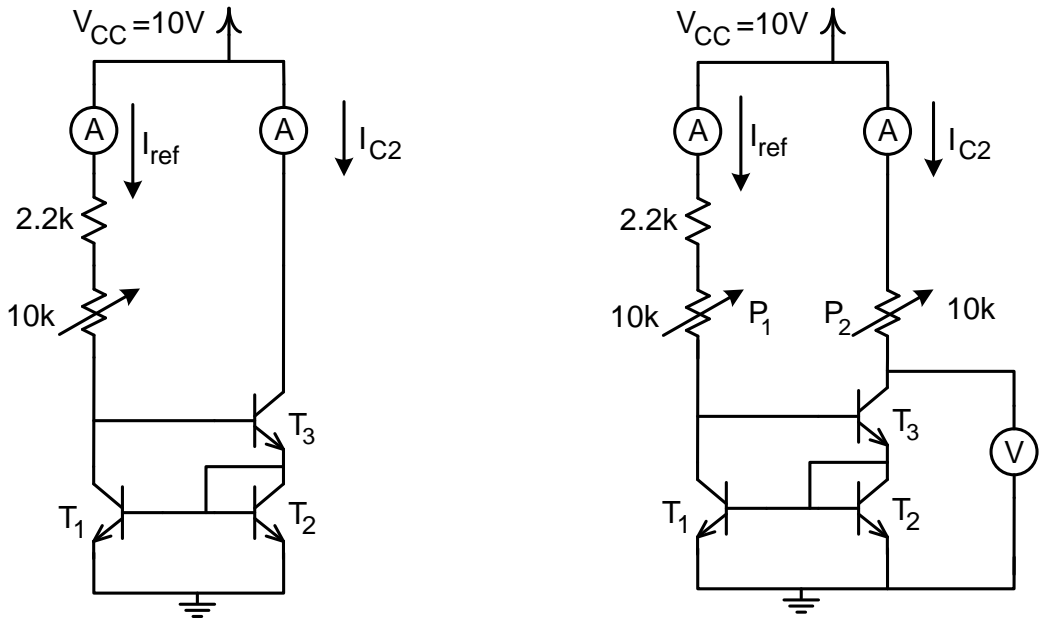


Şekil 6. Emetöründe direnç bulunan basit akım kaynağı

I_{C2} / I_{ref} oranını istediğimiz şekilde değiştirebilmek için tasarımda izlenecek yolları düşünün.

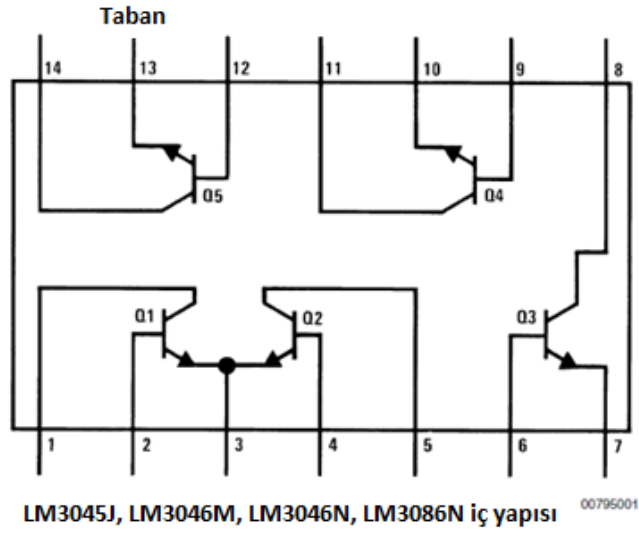
Basit akım kaynağının dezavantajlarından kurtulmak için kullanılan ve Şekil 7a'da verilen Wilson akım kaynağının I_{C2}/I_{ref} oranını hesaplayın ve Şekil 7b ile I_{C2} 'nin V_C ile değişimini teorik olarak inceleyin. Devrenin çıkış direncini hesaplayın.

Şekil 7a'da verilen Wilson akım kaynağını kullanarak daha önce elde ettiğiniz gibi aynı değişim aralıkları ve ölçüm yöntemi için $I_{C2}-I_{ref}$, $I_{C2}-V_{CE2}$ karakteristiklerini çıkarın. Elde ettiğiniz sonuçları, daha önceki devrenin sonuçları ile karşılaştırıp yorumlayın.



Şekil 7. Wilson akım kaynağı

Not: Deneyde 3046 (3086) tümdevre tranzistör dizisi kullanılacaktır.



Kaynaklar

- Analog Elektronik Devreleri, Duran Leblebici, İTÜ matbaası, İstanbul, 2001.
- Analog Tümdevre Tasarımı, Hakan Kuntman, Sistem Yayıncılık, İstanbul, 1992.
- Elektronik Devreleri, Sait Türköz, Birsen Basıs Yayın, İstanbul, 1999.

DENEY 3

BJT'li Kuvvetlendiricilerin Frekans ve Darbe Cevabı

Ön Hazırlık

- **Deneyden Önce Araştırılması Gereken Konular**
 - Kuvvetlendirici nedir, performansını hangi parametreler belirler ve nasıl etkiler?
 - Tek tranzistorlu kuvvetlendirici katları ve bu katların temel özellikleri nelerdir?
 - Kuvvetlendirici kazanç- frekans eğrisinin önemli noktaları nelerdir? Nasıl bulunur?
 - Yükselme süresi ve darbe üstü eğilmesi nasıl tanımlanır? Devrenin hangi parametrelerinden etkilenir?
 - **Teorik Hesaplamalar**
 - Şekil 4'tede verilen devrenin çalışma noktası büyüklüklerinin hesabı için gerekli bağıntıları elde ediniz. Devrenin aşağıda verilen çalışma koşullarını sağlaması için uygun R_1 , R_2 , R_C ve R_E direnç değerlerini bulunuz.
 - $R_Y=15k\Omega$ 'luk yük direncinin uçlarında tepeden tepeye kırpılmasız 10V'luk bir gerilim elde edilmeli,
 - Tranzistorun kolektör akımının çalışma noktası değeri $I_{CQ}=0.95mA$,
 - Küçük işaret eşdeğer giriş direnci R_i 'nin minimum değeri $5k\Omega$.
 - Kuvvetlendiricinin küçük işaret kazancını hesaplayınız.
 - Kondansatörlerin değerlerini, her birinin etkisi ile meydana gelecek kutup frekansı 200Hz olacak şekilde hesaplayınız. Bu durum için alt kesim frekansını hesaplayınız.
 - Kondansatör değerlerini, girişte $T_D = 10\mu s$ olan bir darbe işareti uygulanması durumunda her birinin etkisi ile meydana gelecek darbe üstü eğilmesi %5 olacak şekilde hesaplayınız.
- ($R_g = 600\Omega$, Trans. Par.: $V_{CESAT} = 0.2V$, $h_{FE} = 230$, $h_{fe} = 330$, $h_{oe} = 20\mu A/V$, $f_T = 120MHz$, $C_{cb'} = 2.5pF$)
- **PSpice ile Devre Analizi**
 - Teorik hesapta bulduğunuz direnç değerlerini kullanarak devrenin DC çalışma noktasını (I_{CQ} , V_{BQ} , V_{CQ} ve V_{EQ}) belirleyiniz.
 - Teorik hesapta bulduğunuz kapasite değerlerini kullanarak devrenin frekansa bağlı olarak kazanç [dB] (V_o/V_i) eğrisinin çıkartıp, alt kesim ve üst kesim frekanslarını belirleyiniz .

Teorik hesapta bulduğunuz kapasite değerlerini kullanarak devrenin darbe cevabını (darbe üstü eğilmesi ve yükselme süresi) inceleyiniz. (Giriş işaretini uygun genlik ve frekansta seçiniz.)

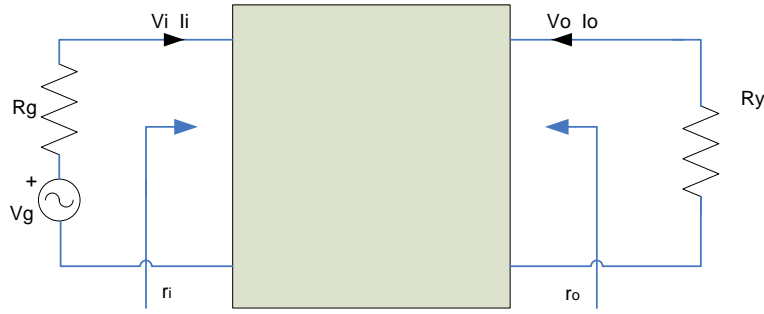
Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir.

Amaç

Kuvvetlendiriciler, bir işaret kaynağı tarafından girişlerine verilen işareti çıkışlarına bağlanan yüke kuvvetlendirerek aktaran devrelerdir. Amaca göre, yüke gerilim, akım veya güç aktaracak biçimde tasarlanırlar. Kuvvetlendirici devreleri ile zamanla değişen giriş işaretleri, söz konusu doğru akım ve gerilim bileşenlerinin üzerine bindirilerek zamanla değişen çıkış işaretleri oluşturulur. Bu deneyde kuvvetlendirici girişine uygulanan zamana bağlı bir işaretin çıkıştaki değişimi incelenecektir.

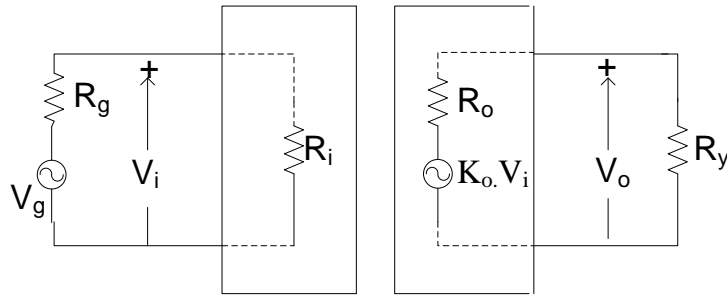
Ön Bilgi

Kuvvetlendiricilerde çıkış büyüklüğünün giriş büyüklüğüne oranına kazanç denir ve gerilim, akım, güç olmak üzere üç çeşit kazanç söz konusudur. Bir kuvvetlendiricinin davranışını belirlemek için kazancın dışında giriş ve çıkış empedansları da önemlidir. (Bkz. M.Sait Türköz – *Elektronik*- sayfa 227). Kuvvetlendiriciler iki kapılı olarak Şekil-1’deki blok şema ile gösterilebilir.



Şekil 1. 2 Kapılı olarak kuvvetlendirici

Bir kuvvetlendiriciden elde edilebilecek en yüksek kazanç, kuvvetlendiricinin girişinde ve çıkışında işaret kaybı olmadığı durumda oluşmaktadır. Bir gerilim kuvvetlendiricisi için bu durum idealde kuvvetlendiricinin giriş direncinin sonsuz, çıkış direncinin ise sıfır olmasıyla mümkündür.



Şekil 2. Kuvvetlendiricinin giriş ve çıkış katlarının eşdeğer devrelerle gösterilmesi

Şekil-2’de blok şeması verilen gerilim kuvvetlendiricisinin giriş direnci R_i , çıkış direnci R_o , açık çevrim kazancı ise K_o ile temsil edilmiştir. V_i giriş gerilimi ile V_g kaynak gerilimi arasındaki ilişki;

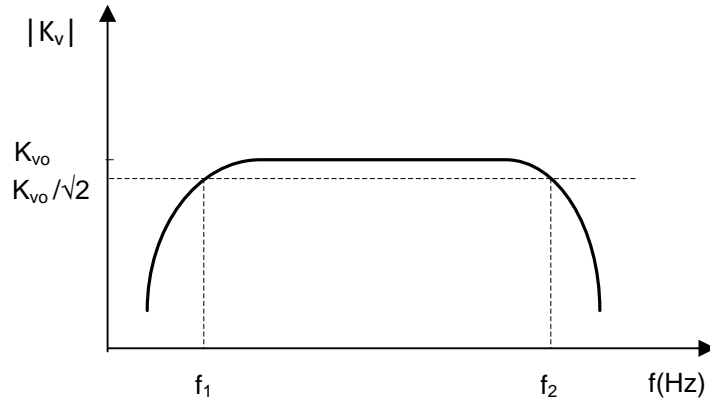
$$V_i = V_g \frac{R_i}{R_i + R_g}$$

şeklinde ifade edilebilir. Görüldüğü gibi $V_i = V_g$ olabilmesi için $R_i \gg R_g$ şartının sağlanması gerekir. Kuvvetlendiricinin yüksüz haldeki çıkış gerilimi $K_o.V_i$ ile çıkış gerilimi V_o arasındaki ilişki ise benzer şekilde aşağıdaki gibi yazılabilir.

$$V_o = K_o V_i \frac{R_y}{R_o + R_y}$$

Bağıntıdan görüldüğü üzere V_o çıkış geriliminin alabileceği maksimum değer $V_o = K_o.V_i$ ‘dir. Çıkış gerilimi bu değere $R_o \ll R_y$ şartı sağlandığında ulaşır.

Aynı giriş genliği için çıkış geriliminin genliğinin veya gerilim kazancının modülünün frekansla değişimini veren grafiğe kuvvetlendiricinin kazanç-frekans eğrisi adı verilir (Bkz. Şekil-3).



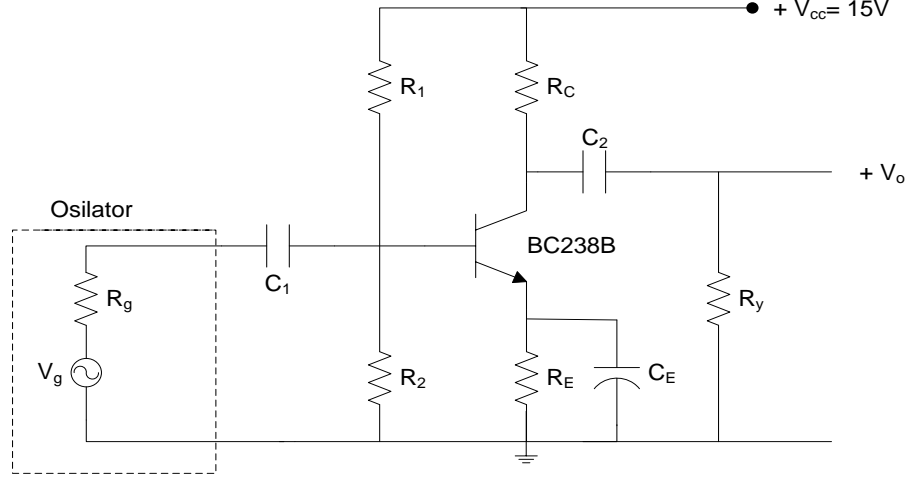
Şekil 3. Kuvvetlendirici kazanç-frekans eğrisi

Yüksek kazanç istenilen durumlarda tek elemanlı kuvvetlendirici katları, bir sonra gelen katın girişini besleyecek şekilde kaskad bağlanırlar. Bu durumda, bir önceki katın doğru akım şartlarının bir sonraki katın doğru akım şartlarını değiştirmemesi istenir. Ayrıca kuvvetlendirici girişine bağlanan işaret kaynağı ve çıkışına bağlanan yükün de devrenin doğru akım şartlarını değiştirmemesi istenir. Bu nedenle düşük frekans uygulamalarında gerektiğinde doğru bileşenleri yalıtım amacıyla bağlama kondansatörleri kullanılabilir.

Devrelerde doğru işaretler açısından gerekli ancak değişken işaretler açısından bulunması istenmeyen elemanlar köprüleme kondansatörleri kullanılarak köprülenebilir. Devrenin frekans cevabını her iki tip kondansatör de etkilemektedir.

Ortak Emetörlü Kuvvetlendirici:

Bu devrelerin giriş terminali baz, çıkış terminali kolektör, giriş ve çıkış için ortak terminali ise emetördür. Ortak emetörlü devrenin giriş direnci ortak bazlı devreye göre daha yüksek olduğundan kaskat kuvvetlendirici yapılarında kullanılmaya daha elverişlidir.



Şekil 4. Ortak emetörlü kuvvetlendirici

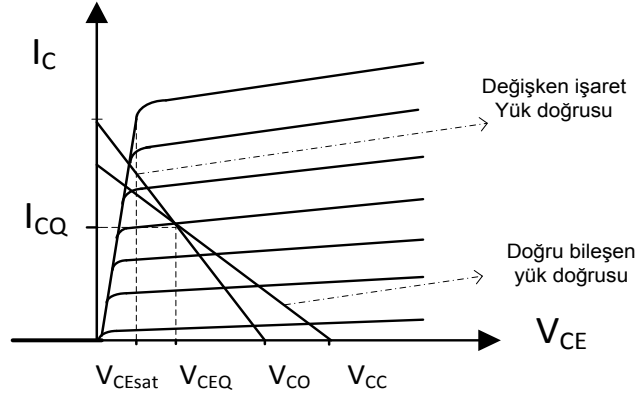
Doğru bileşenler açısından tranzistorun kolektör çevriminden $I_B \ll I_C$ alınarak (1.1) bağıntısı yazılabilir. (1.2) bağıntısında çevrime giren R_{DC} doğru bileşen yükü gösterilmiştir. Öte yandan değişken işaret yükü R_{AC} ise (1.3) bağıntısıyla tanımlanır.

$$V_{CC} = V_{CEQ} + I_{CQ}(R_E + R_C) \quad (1.1)$$

$$R_{DC} = R_E + R_C \quad (1.2)$$

$$R_{AC} = \frac{R_C R_Y}{R_C + R_Y} \quad (1.3)$$

(1.1) bağıntısına karşılık gelen doğru, tranzistorun çıkış özdeşleri üzerine çizilirse çalışma noktası, $I_B = I_{BQ}$ için çizilmiş olan çıkış özdeşisi ile söz konusu doğrunun kesişim noktası olacaktır. Doğru işaret yük doğrusu olarak adlandırılan bu doğru, yatay eksenini V_{CC}/R_{DC} 'de keser ve eğimi $-1/R_{DC}$ 'dir. Değişken işaret yük doğrusu da tranzistorun çalışma noktasından geçer ve eğimi $-1/R_{AC}$ 'dir. $R_{AC} \neq R_{DC}$ olduğundan yatay ve düşey eksenleri kesme noktaları farklı olacaktır (Bkz. Şekil-5).



Şekil 5. Tranzistorun yük doğruları

Değişken işaret yük doğrusunun eğiminden hareketle V_{CO} gerilimi (1.4) bağıntısındaki gibi elde edilir. V_{CEQ} yerine (1.1)'de elde edilen değeri yazıldığında V_{CO} gerilimi (1.5) bağıntısındaki gibi olacaktır.

$$V_{CO} = V_{CEQ} + R_{AC} \cdot I_{CQ} \quad (1.4)$$

$$V_{CO} = V_{CC} - (R_{DC} - R_{AC}) \cdot I_{CQ} \quad (1.5)$$

Kuvvetlendiricinin girişine değişken işaret uygulandığında, kolektör akımı dolayısıyla kolektör-emetör gerilimi değişecektir. Bu değişim negatif yönde V_{CESat} ile pozitif yönde V_{CO} değerleri ile sınırlanmaktadır. Pozitif ve negatif yönlerde oluşabilecek değişimler (1.6)'da verilmiştir.

$$V_p = V_{CO} - V_{CEQ} = R_{AC} \cdot I_{CQ}, \quad V_n = V_{CEQ} - V_{CESat} \quad (1.6)$$

Çalışma noktasının yeri uygun seçilirse çıkışta elde edilen değişken işaretin simetrik kırılması, yani pozitif ve negatif kısımların aynı gerilim değerinde kırılması sağlanabilir. Bu durumda simetrik kırılma olması sağlanması gereken koşul (1.7) bağıntısında verilmiştir.

$$V_{CEQ} - V_{CESat} = V_{CO} - V_{CEQ} = R_{AC} \cdot I_{CQ} \quad (1.7)$$

(1.1) ve (1.7) bağıntıları kullanılarak simetrik kırılma koşulunu sağlayacak I_{CQ} (1.8)'deki gibi hesaplanabilir.

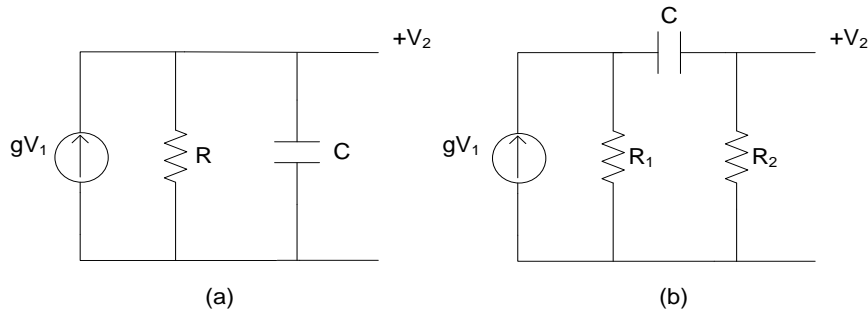
$$I_{CQ} = \frac{V_{CC} - V_{CESat}}{R_{DC} + R_{AC}} \quad (1.8)$$

Kuvvetlendiricinin girişine uygulanan işaretin şeklini bozmadan yapılan kuvvetlendirmeye doğrusal kuvvetlendirme denir. Başka bir deyişle doğrusal kuvvetlendirme, çıkış işareti ile giriş işareti arasındaki oranın her an için aynı olmasıdır. Bu koşul her zaman sağlanmadığı için çıkış işareti, devre doğrusal olmasına rağmen giriş işaretinden çeşitli farklılıklar içerecektir. Söz konusu farklılıkların, yani bozulmaların nedenleri, devrenin iç (parazitik) kapasiteleri ve devreye dışarıdan bağlanan bağlama ve köprüleme kondansatörleridir. Yüksek değerli kondansatörler alçak frekans bölgesinde, düşük değerli

kondansatörler ve iç kapasiteler ise yüksek frekans bölgesinde bozucu etkiler meydana getirirler.

Darbe Cevabı:

Girişine basamak biçiminde bir sürücü işaret uygulanan kuvvetlendiricinin ideal olarak çıkış işaretinin de basamak biçiminde olması beklenir. Ancak, kuvvetlendirici eşdeğer devresinde de görülen paralel kapasiteler nedeniyle çıkış işareti giriş ile birlikte ani olarak değişmez. Genellikle büyük değerli bağlama ve köprüleme kondansatörleri hızlı değişimler için kısa devre sayılabileceklerinden, basamak biçimi giriş işaretinin hızlı değişim bölgesi üzerine devrenin etkisi incelenirken kuvvetlendiricinin Şekil-6(a)'da görülen yüksek frekanslardaki eşdeğer devresini kullanmak yeterli olmaktadır.



Şekil 6. (a) Kuvvetlendiricinin yüksek frekans eşdeğer devresi (b) alçak frekans eşdeğer devresi

Şekil 6(a)'daki devre, basamak gerilimi ile uyarıldığında V₂(t) geriliminin zamanla değişimi $\tau = R.C$ zaman sabiti, V basamak işaretinin genliği ve K₀ kuvvetlendiricinin kazancı olmak üzere aşağıdaki gibi ifade edilebilir.

$$V_2(t) = K_0.V.(1 - e^{-t/\tau})$$

V₂'nin $t \rightarrow \infty$ anında alacağı K₀.V değerinin %10'undan %90'ına yükselmesi için geçen süreye çıkış işaretinin **yükselme süresi** denir ve t_r ile gösterilir. Bu durumda çıkış işaretinin yükselme süresi R ve C 'ye bağlı olarak aşağıdaki bağıntı ile hesaplanabilir. (Bağıntıdaki 2,2 katsayısı, yükselme süresinin çıkışta oluşan işaretin giriş işaretinin %10'nundan ile %90'nına ulaşması tanımından kaynaklanmaktadır.)

$$t_r = 2,2. \tau = 2,2. R. C$$

Art arda bağlanan farklı yükselme sürelerine sahip katlardan oluşan bir devrenin toplam yükselme süresi ise katların tek başlarına yükselme süreleri (t_{ri}) cinsinden aşağıdaki amprik bağıntıyla oldukça iyi bir yaklaşıklıkla hesaplanabilir.

$$t_r \cong 1,1. \sqrt{t_{r1}^2 + t_{r2}^2 + \dots + t_m^2}$$

Sonuç olarak girişine basamak biçiminde işaret uygulanan bir kuvvetlendiricinin çıkış gerilimi belirli bir yükselme süresi içinde yükselerek sükûnetteki değerinden farklı bir değer almaktadır. Ancak bu kuvvetlendiricide bağlama elemanı olarak kondansatör kullanılmışsa, devrenin doğru gerilim kazancı sıfır olacağından, çıkış geriliminin bu yeni değerini koruması beklenemez. Çıkış gerilimi yavaş yavaş düşerek, eleman değerlerine bağlı bir süre sonunda

sükunetteki değerine ulaşır. Bu durumu kuvvetlendirici devrenin Şekil-6(b)'de görülen alçak frekanslardaki eşdeğer devresi kullanılarak incelemek yeterli olmaktadır.

Şekil-6(b)'deki devre basamak gerilimi ile uyarıldığında, $V_2(t)$ gerilimin zamanla değişimi,

$$\tau = (R_1 + R_2) \cdot C$$

devrenin zaman sabiti, V basamak işaretinin genliği ve K_0 kuvvetlendiricinin kazancı olmak üzere aşağıdaki gibi ifade edilebilir.

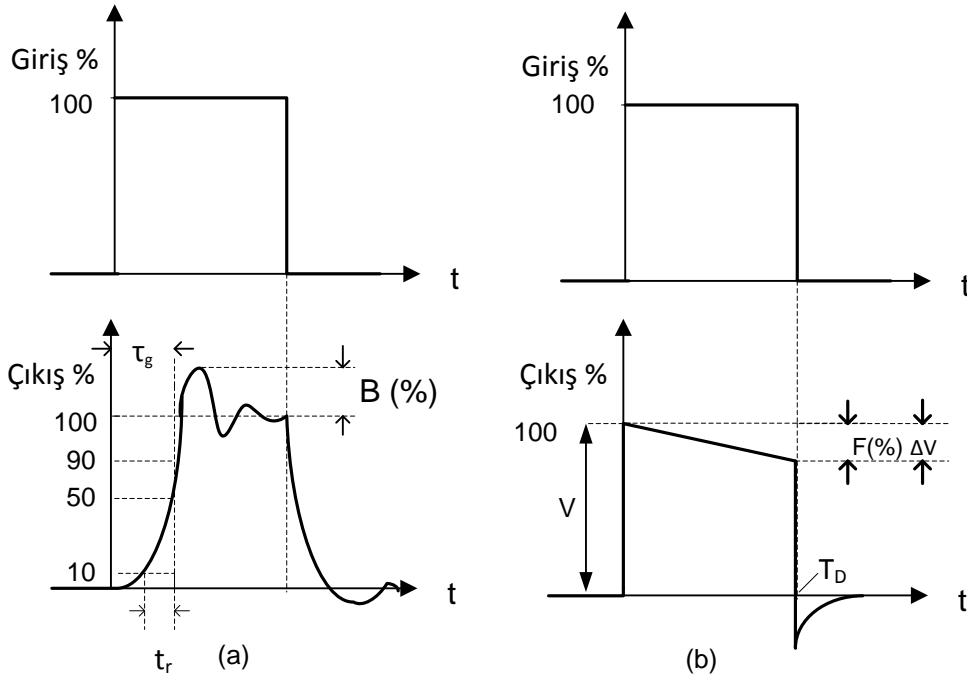
$$V_2(t) = K_0 \cdot V \cdot (e^{-t/\tau})$$

Bu bağıntının ifade ettiği değişim Şekil-7(b)'de görülmektedir. Bağıntıdan da görüleceği gibi $t = \tau$ anında çıkış gerilimi başlangıç değerinin $1/e$ 'sine düşmektedir. Herhangi bir t_1 anında çıkış gerilimindeki düşme ΔV_2 ise $\Delta V_2/V_2$ oranı (% olarak) **darbe üstü eğilmesi** olarak tanımlanır ve T_D darbe süresi ve $\tau = (R_1 + R_2) \cdot C$ devrenin zaman sabiti olmak üzere aşağıda verilen ifade ile hesaplanabilir. Art arda gelen hücrelerin her birinin eğilmesi yeteri kadar küçükse toplam epilme yaklaşık olarak eğilmelerin toplamına eşit olur.

$$F = \frac{T_D}{\tau}$$

Bağlama kondansatörlerinin yanı sıra kuvvetlendiricilerde emetör köprüleme kondansatörü de darbe üstü eğilmesi meydana getirmektedir ve bu eğilmenin değeri aşağıda verilen bağıntı ile hesaplanabilir.

$$F = \frac{T_D}{C_E \cdot r_e}$$



Şekil 7. (a)Yüksek frekanslı darbeye bir sistemin verebileceği cevap (b) Alçak frekanslı darbeye bir sistemin verebileceği cevap

Kaynaklar

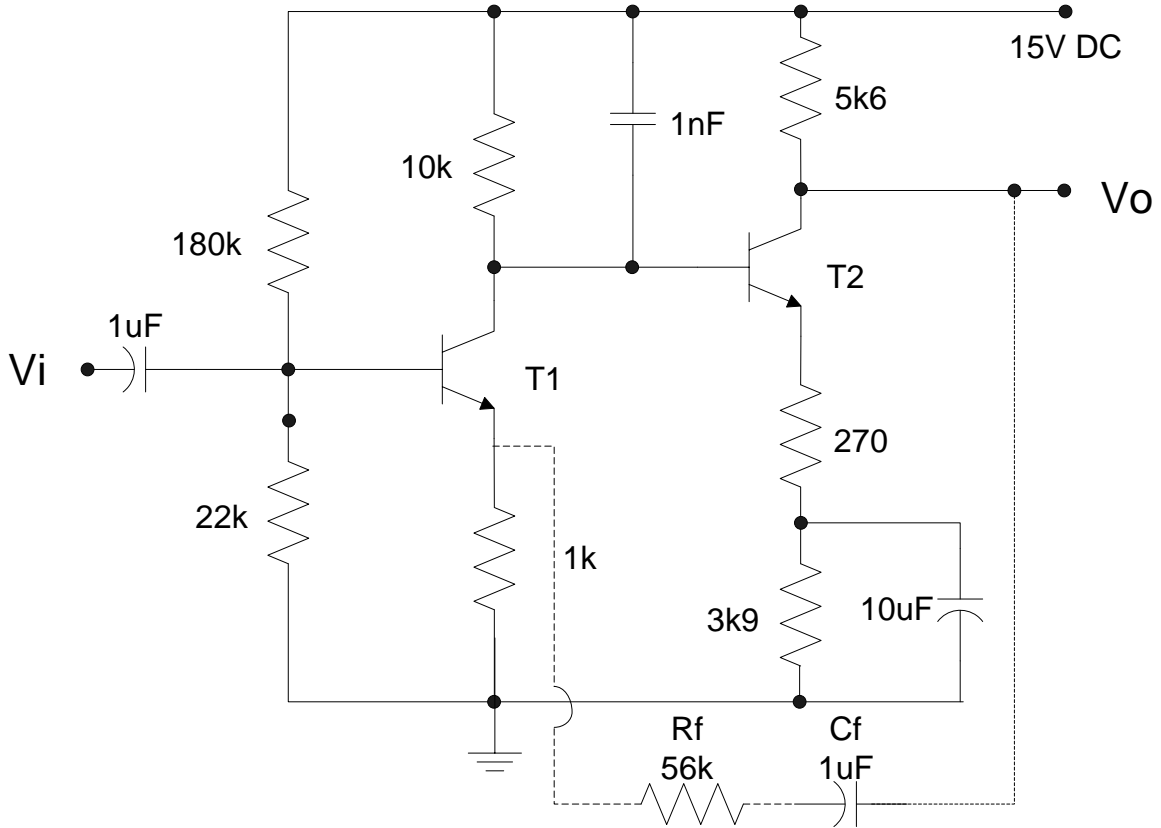
- M. S. Türköz, Elektronik, Birsen Yayınevi, İstanbul, 2004.
- D. Leblebici, Elektronik Devreleri, İTÜ Matbaası, 1992.
- Sedra & Smith, Microelectronic Circuits (5th Ed.), Oxford University Press, 2003.

DENEY - 4

Tranzistorlu Kuvvetlendiricilerde Geribesleme

Ön Hazırlık

- **Deneyden Önce Araştırılması Gereken Konular**
 - Geri besleme nedir?
 - Geri besleme çeşitleri nelerdir, geri beslemenin türüne göre geri beslemenin devre üzerindeki etkileri nelerdir?
 - Alt ve üst kesim frekansı nedir?
- **Teorik Hesaplamalar**
 - Şekilde verilen devrenin DC çalışma noktasını, kazancını, giriş-çıkış dirençlerini; normal durum ve geri beslemeli durum için hesaplayınız.
- **PSpice ile Devre Analizi**
 - Şekilde verilen devrenin DC çalışma noktasının belirleyiniz
 - Şekilde verilen devrenin normal ve geri beslemeli hal için kazanç-frekans eğrisini çiziniz [dB] (V_o/V_i)
 - Devrenin normal ve geri beslemeli hal için giriş-çıkış dirençlerini frekansa bağlı olarak değişimini gösteriniz.



T1,T2: BC238C, $h_{FE}=230$, $h_{fe}=330$, $h_{oe}=20\mu A/V$, $f_T=120MHz$, $C_{cb'}=2.5pF$

Not: “Araştırılması Gereken Konular” araştırılacaklar kısmı yazılı olarak istenmemektedir ve deney öncesinde sizden alınmayacaktır. Bu kısmı deneyi daha iyi anlamanız için çalışmanız gerekmektedir. Teorik hesaplamaları ve Pspice benzetimlerini mutlaka yapmanız gerekmektedir. Deney öncesinde sonuçlar sizden alınacaktır. Ayrıca deney sırasında veya öncesinde yapılacak yazılı ya da sözlü sınavdan başarılı olmanız beklenmektedir.

Amaç

Elektronikte geniş uygulama alanı bulan geribesleme, sistemin çıkış büyüklüğünden elde edilen ve giriş büyüklüğü ile aynı nitelikte bir işaretin girişe gelmesi şeklinde tanımlanır. Devre üzerinde önemli etkileri olan geri besleme etkileri bu deneyde incelenecektir.

Ön Bilgi

Genel olarak bir kuvvetlendiricinin giriş büyüklüğü a_1 , çıkış büyüklüğü a_2 ve bunlar cinsinden transfer fonksiyonu $a_2/a_1=A$ olsun. a_1 ve a_2 'den her biri akım veya gerilim olabilir. Buna bağlı olarak A ya boyutsuzdur ya da empedans veya admitans boyutundadır.

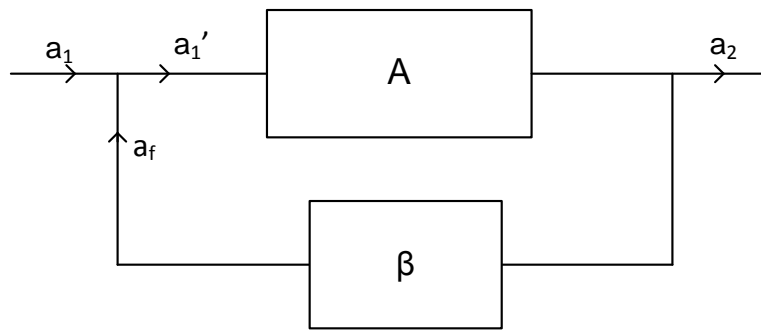
Değeri a_2 çıkış büyüklüğüne bağlı fakat a_1 giriş büyüklüğü boyutunda bir $a_f = \beta a_2$ büyüklüğü a_1 'e eklenirse, devreye geribesleme uygulanmış olur. Buradaki β fonksiyonu, a_f ve a_2 'nin boyutlarına bağlı olarak boyutsuz ya da empedans veya admitans boyutunda olabilir.

Geribesleme uygulanmış bir düzene ilişkin blok diyagram şekil 1'de verilmiştir. Buna göre:

$$a_f = \beta \cdot a_2 \quad (1)$$

$$A_f = \frac{a_2}{a_1} = \frac{A}{1 - \beta A} \quad (2)$$

bağıntıları yazılabilir. (2) ifadesindeki A_f büyüklüğüne geribeslemeli devrenin transfer fonksiyonu denir. En genel halde, A ve β frekansa bağlı büyüklüklerdir. $|A_f|$ ve $|A|$ karşılaştırılırsa iki farklı durum ortaya çıkar. $|A_f| < |A|$ yani $|1 - \beta A| < 1$ ise pozitif geribesleme söz konusudur. Pozitif geribesleme elektronik düzenlerde bazı özel durumlar dışında pek kullanılmaz. Kullanıldığı alanlardan bazıları; darbe şekillendiriciler, aktif filtreler ve osilatörlerdir. Negatif geribesleme ise devre özellikleri üzerinde az sonra değinilecek olan iyileştirici etkileri nedeniyle geniş bir uygulama alanına sahiptir.



Şekil 1. Geribesleme uygulanmış düzene ilişkin blok diyagramı

(2) ifadesi yardımıyla bazı önemli sonuçlara varmak mümkündür.

- A_f büyüklüğü, βA çarpımının işaret ve büyüklüğüne bağlıdır. (βA çarpımının boyutsuz olduğu açıktır.)
- $\beta A = 0$ ise $A_f = A$ 'dir. (Devrede Geribesleme yoktur.)
- $\beta A < 0$ ise $A_f < A$ 'dir. (Devrede negatif geribesleme vardır.)
- $\beta A > 0$ ise $A_f > A$ 'dir. (Devrede pozitif geribesleme vardır.)

- $\beta A=1$ ise $A_f = \infty$ dur. (Devre osilasyon yapmaktadır.)

(1) bağıntısının logaritmik türevi alınırsa A_f 'da oluşan değişimlerin A_f 'ye $1-\beta A$ oranında küçülerek yansıdığı görülür. O halde negatif geribesleme, devredeki aktif elemanların özelliklerindeki değişimlerin A_f üzerindeki etkisini azaltır.

Aktif elemanın içinde, giriş büyüklüğüne doğrudan doğruya bağlı olmayan gürültü, harmonik distorsiyon vb. bileşenleri (a_3) oluşabilir. Bu durumda $a_2 = A \cdot a_1' + a_3$ yazılabilir. Şekil 1 yardımıyla a_2 'nin a_1 ve a_3 'e bağlı ifadesi çıkarılırsa

$$a_2 = \frac{1}{1-\beta A} a_1 + \frac{1}{1-\beta A} a_3 \quad (3)$$

bulunur. Buna göre, negatif geribeslemeli bir devrenin çıkışındaki gürültü ve distorsiyon bileşenleri miktarı, geribeslemesiz duruma göre $1-\beta A$ oranında azalmaktadır.

Negatif geribesleme uygulanmış tek kutuplu bir devrenin A_f transfer fonksiyonunun frekansla değişimi analiz edilirse, üst kesim frekansının geribesleme uygulanmamış hale göre $1-\beta A$ oranında arttığı, benzer şekilde alt kesim frekansının da aynı oranda azaldığı görülür.

a_f giriş büyüklüğü gerilim olan geribeslemeli bir devrede giriş empedansı geribeslemesiz duruma göre $1-\beta A$ oranında artar. Benzer şekilde a_f giriş büyüklüğü akım olan geribeslemeli bir devrede giriş admitansı geribeslemesiz duruma göre $1-\beta A$ oranında artar.

a_f 'nin orantılı olduğu çıkış büyüklüğü gerilim olan geribeslemeli bir devrede çıkış empedansı geribeslemesiz duruma göre $1-\beta A$ oranında azalır. Benzer şekilde a_f 'nin orantılı olduğu çıkış büyüklüğü akım olan geribeslemeli bir devrede çıkış admitansı geribeslemesiz duruma göre $1-\beta A$ oranında azalır.

Bir tranzistorlu kuvvetlendiriciye, çıkış gerilim veya akımıyla orantılı bir gerilimin girişe seri ya da akımın paralel olarak getirilmesiyle geribesleme uygulanması mümkündür. Bu durumda dört farklı geribesleme tipinin var olduğu açıktır:

- Seri gerilim geribeslemesi
- Seri akım geribeslemesi
- Paralel gerilim geribeslemesi
- Paralel akım geribeslemesi

Bir elektronik devrenin çalışması incelenirken önem taşıyan analizlerden birisi de devrenin transfer fonksiyonunun modül ve fazının frekansla değişimidir. Bu ilişkiyi gösteren eğrilere kısaca frekans eğrileri denir. Fazın değişimi, özel uygulamalar dışında çoğunlukla verilmez. Bu nedenle burada, sadece transfer fonksiyonunun modülünün değişimi ele alınacaktır. Transfer fonksiyonunun gerilim kazancı olduğu varsayılacaktır.

Bir kuvvetlendiricide kazancın modülünün frekansla değişimi göz önüne alındığında üç bölgeyle karşılaşılır; alçak, orta ve yüksek frekans bölgeleridir. Orta frekans bölgesinde kazancın modülünün frekansa bağımlılığı ihmal edilecek kadar azdır. Alçak ve yüksek frekanslarda ise kazancın modülü frekansla değişir. Alçak frekans bölgesinde kazancın modülünün, orta frekans bölgesindeki değerinin $1/\sqrt{2}$ 'sine eşit olduğu frekansa alt kesim frekansı denir. Yüksek frekanslar bölgesinde bu özelliği taşıyan frekansa ise de üst kesim frekansı denir. Bu iki frekans arasında kalan bölge devrenin kullanılabilir bölgesini belirleyen bant genişliği denir. Bu bölge çok dar olursa orta frekans bölgesi ortadan kalkar ve

kesim frekansları modülün en büyük değerinin $1/\sqrt{2}$ sine düştüğü frekanslar olarak tanımlanırlar.

Frekans eğrilerinde genellikle frekansın değişim aralığı büyük olduğundan eksen logaritmik olarak bölmelenir. Diğer eksen ise; kazancın modülü, bağıl kazancın modülü veya bu büyüklüklerin dB cinsinden değerleri şeklinde seçilebilir. Burada söz konusu olan bağıl kazanç, kazancın modülünün orta frekanslardaki değerine oranıdır. Genellikle düşey eksen dB cinsinden bağıl kazanç alınır.

Frekans eğrilerinin ölçü yoluyla bulunmasında iki yol izlenir. Bu yollardan biri, frekans değiştirildiğinde çıkış seviyesi sabit kalacak şekilde giriş seviyesinin değiştirilmesi esasına dayanır. Orta frekans bölgesinde, giriş seviyesi, çıkışta uygun bir işaret elde edilecek şekilde ayarlanır. Çıkış seviyesi sabit kalmak şartıyla giriş seviyesinde oluşacak değişimler kaydedilir.

Frekans eğrisinin çıkarılmasında ikinci yol, çıkış yerine giriş seviyesinin sabit tutulmasıdır. Bu yöntemle, orta frekans bölgesinde çıkış seviyesi uygun bir değere getirilir ve buna karşı düşen giriş seviyesi belirlenir. Giriş bu değerde sabit kalmak şartıyla çıkış seviyesinde oluşan değişimler kaydedilir.

Frekans eğrisi hangi yolla çıkarılırsa çıkarılsın, uygun koşullarda aynı sonuçların alınacağı açıktır. Ancak bazı devrelerde yöntemlerden birini diğerine tercih etmek daha avantajlı veya zorunlu olabilir. Bu durumlar neler olabilir? Ölçme tekniklerini gözönünde bulundurarak düşününüz.

Kaynaklar

- M. S. Türköz, Elektronik, Birsen Yayınevi, İstanbul, 2004.
- Sedra & Smith, Microelectronic Circuits (5th Ed.), Oxford University Press, 2003.

DENEY 5

PLL Yapı Bloklarının Karakterizasyonu

Ön Hazırlık

- **Deneyden önce araştırılması gereken konular**
 - Föyü dikkatli bir şekilde okuyup, kaynaklardan faydalanarak daha ayrıntılı bilgi edininiz.
 - CD 4046 (PLL) tümdevresinin katalog sayfalarını inceleyiniz.
 - CD 4046 tümdevresinde VCO kısmını ayrıntılı olarak inceleyiniz.
 - XR 2228 (Phase Dedector) entegresinin katalog sayfalarını inceleyiniz.
 - Referans kaynaklardan PLL uygulamasına bakınız.
- **Teorik Hesaplamalar**
 - Alçak Geçiren Süzgeç (AGS) üst kesim frekansı hesaplayınız. ($R= 2.2k$, $C=2.2 \mu F$)

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir.

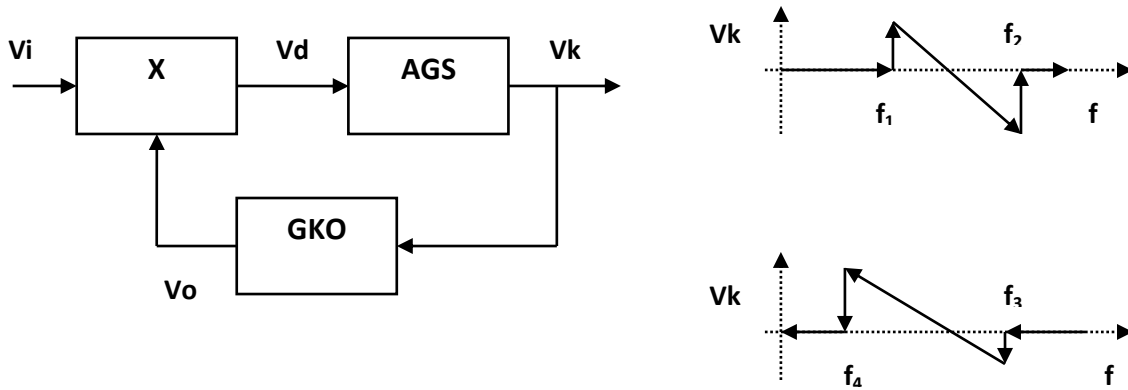
Amaç

Bu deneyde amaç, PLL yapısını oluşturan yapı bloklarının elektiksel davranışını incelemek, giriş - çıkış büyüklükleri arasındaki ilişkiyi belirlemektir.

Ön Bilgi

PLL nin Temel Çalışma Prensibi

PLL (Phase Lock Loop--Faz Kenetlemeli Çevirim) yapısı, endüktans elemanı kullanılmadan frekans seçme olanağı sağlayan bir sistemdir. Sistem, frekansı gerilimle kontrol edilebilen bir osilatör, girişine uygulanan iki işaretin fazlarını karşılaştıran bir faz karşılaştırma devresi ve alçak geçiren bir süzgeçten oluşmaktadır. En basit halinde, faz dedektörü olarak bir çarpma devresi kullanılır.



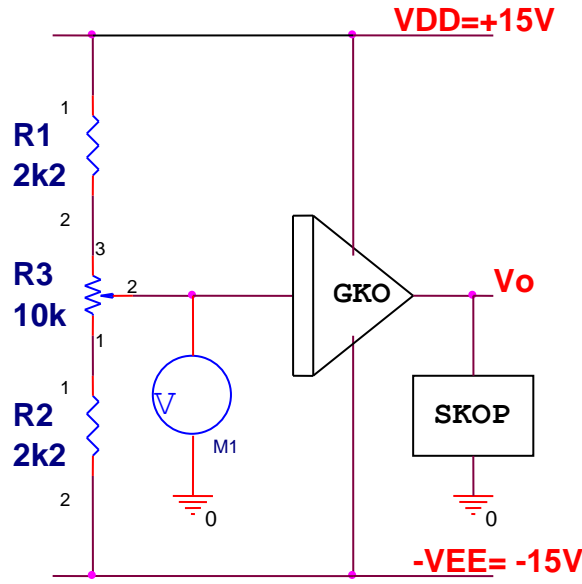
Şekil 1. Temel PLL şematik yapısı

Eğer çarpma devresinin girişine uygulanan giriş işareti (referans işaret) sıfır genlikli ise, çarpma devresi çıkışında 0 V gerilim oluşur. Bu da gerilim kontrollü osilatörün girişine uygulandığından, osilatörün serbest salınım frekansında salınmasını sağlar. Girişe genliği sıfırdan farklı ve f_1 frekanslı bir işaret uygulansın. Giriş işaretinin frekansı sıfırdan itibaren artırılmaya başlansın. Bir f_1 frekansında, giriş işaretinin frekansı ile GKO'nun frekansı, bir faz farkıyla birbirlerine kenetlenir ($f_0 = f_1$ olur). Giriş işaretinin frekansı artırılmaya devam edilirse osilatör bu değişimi bir süre takip edebilecektir. Bir f_2 frekansından sonra osilatör, değişimi izlemeyi terk edecektir. Giriş işaretinin frekansı yeterince büyük bir frekandan (f_2 'den büyük), yavaş yavaş azaltılmaya başlarsa, bu kez sistem bir f_3 frekansında giriş işaretinin frekansına kenetlenir. Frekans azaltılmaya devam edilirse gerilim kontrollü osilatör bir f_4 frekansında değişimi izlemeyi terkeder.

1-GERİLİM KONTROLLÜ OSİLATÖRÜN (GKO) KARAKTERİSYONU (VCO — Voltage Controlled Oscillator)

Gerilim kontrollü osilatör, giriş büyüklüğü gerilim ve çıkış büyüklüğü frekans olan bir devredir. Çıkış işaretinin frekansı, girişe uygulanan gerilimle kontrol edilmektedir. Böyle bir düzeni karakterize edebilmek için girişine belirli adımlarla doğru gerilim uygulanarak, çıkışın frekansı ölçülür. Ölçü sonuçları grafiğe taşınarak büyüklükler arası ilişki belirlenir. Matematiksel olarak ifade edilir.

Ölçüm Düzeni



Şekil 2. GKO (VCO) ölçme düzeni.

Ölçüm Yöntemi

- i) GKO girişine 1V adımlarla, +8V ile -8V arasında doğru gerilim verilerek karşı düşen GKO çıkış frekansları okunacaktır.
- ii) Ölçü sonuçlarını grafiğe taşıyarak, GKO frekans kontrol eğrisini çiziniz ve yapının davranışını matematiksel olarak yorumlayınız.
- iii) $V_k=0$ V için çıkış dalga şeklini çiziniz.

Tartışma

- 1- GKO(VCO) 'nun serbest salınım frekansı neye bağlıdır? Nasıl değiştirilebilir?
- 2- GKO 'nun çıkış genliği neye bağlıdır? Nasıl değiştirilebilir ?
- 3- Çıkardığımız GKO karakteristiğinin lineer bölgesinde kazancın negatif ya da pozitif olmasının bir önemi var mıdır?

2-FAZ DEDEKTÖRÜ DEVRESİNİN KARAKTERİZASYONU

(PD: [Çarpma Devresi+ AGS])

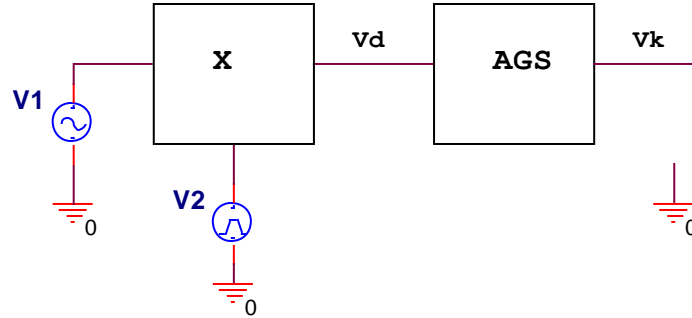
Çarpma devresi, girişlerine uygulanan iki işareti analog olarak çarparak çıkışa aktarmaktadır. PLL yapısında çarpma devresinde giriş büyüklüğü aynı frekanslardaki iki giriş işaretidir. Çıkış olarak sadece faz farkını içeren çarpım terimi ile ilgilenilir. Bu anlamda girişteki faz farkını değiştirerek çıkıştaki gerilim izlenir.

Örnek#1

Gireşlere $V_1 = V_{m1} \cos (w_1 t + \Phi)$

$$V_2 = V_{m2} \cos (w_2 t)$$

uygulansın



Şekil 3. Faz dedektörü (çarpma + AGS).

Çarpma devresinin çıkışında

$$V_d = k \cdot (V_{m1} \cdot V_{m2} / 2) [\cos((w_1 - w_2)t + \Phi) + \cos((w_1 + w_2)t + \Phi)]$$

oluşur. $w_1 + w_2$ frekanslı terim her zaman bir alçak geçiren bir süzgeç ile bastırılır.

Eğer $w_1 = w_2 = w$ ise,

$$V_d = k \cdot (V_{m1} \cdot V_{m2} / 2) [\cos(\Phi) + \cos(2wt + \Phi)]$$

olur. Alçak geçiren süzgeç çıkışında

$$V_k = k \cdot [(V_{m1} \cdot V_{m2}) / 2] \cdot \cos \Phi$$

gerilimi bulunur. Bu durumda faz dedektörü,

$$PD = [\text{Çarpma devresi} + \text{AGS}]$$

$V_k = F(\Phi)$ bağıntısının doğrusal olmadığı görülür. Bu bağıntıda kazanç

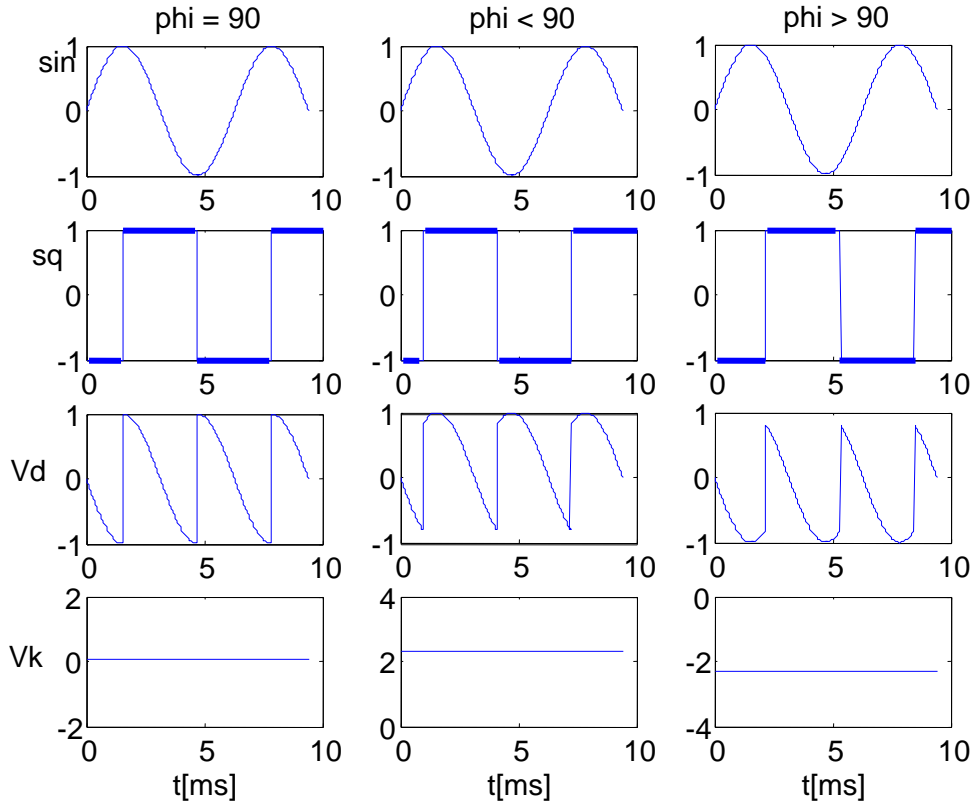
$$K_d = k \cdot (V_{m1} \cdot V_{m2}) / 2$$

olarak tanımlanabilir

Çarpma devresinin kazancı ayrıca giriş gerilimlerinin genlikleri ile değişmektedir. Bu nedenle K_d belirlenirken giriş gerilimlerinin genliği çarpma devresini saturasyona sokacak değerde olmalıdır. Bu durumda K_d sabit kalabilir.

Örnek#2

Çarpma devresinin girişlerinden birine sinüs kanak, diğerine ise kare dalga olan GKO çıkışı bağlansın. Gerilimlerin değişimi aşağıdaki gibi olur:



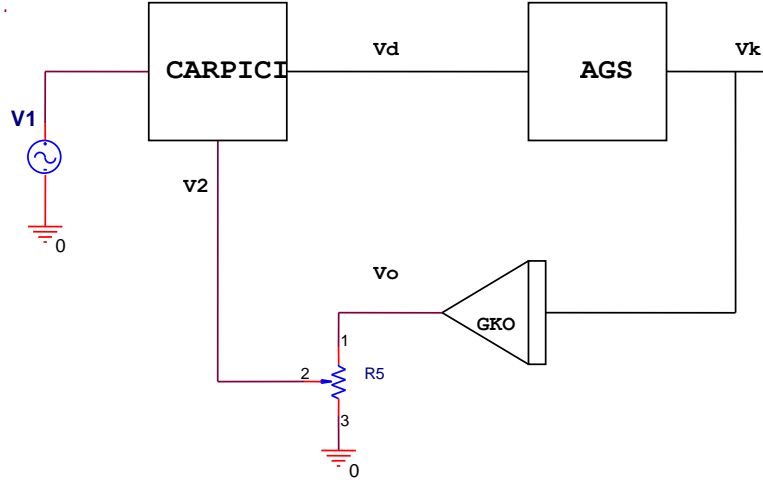
(a) $\Phi = 90^\circ$

(b) $\Phi < 90^\circ$

(c) $\Phi > 90^\circ$

Şekil 4. Örnek giriş gerilim değişimleri.

Ölçüm Düzeni



Şekil 5. Faz Dedektörü (PD) ölçme düzeni.

Ölçüm Yöntemi

Aşağıdaki yöntem, 1.kısımda elde edilen GKO karakteristiğinin doğrusal kısmına karşılık gelen frekans bölgesi için geçerlidir. Eğer GKO doğrusal karakteristiğe sahip değilse yöntem geçersizdir.

Faz dedektörünü karakterize edebilmek için devrenin girişlerinden birine sinüzoidal bir giriş gerilimi, diğer girişine ise GKO nun kare dalga çıkışı bağlanarak PLL kapalı çeviriminde ölçme yapılır. Ölçme devresinde osiloskobdan faz farkı, AGS çıkışından da V_k gerilimi okunarak ölçme yapılır.

$$V_k = F_{PD}(\Phi) \text{ ve } F_{GKO} = F(V_k)$$

olduğundan, ölçülen Φ ve V_k değerlerinden, F_{GKO} fonksiyonu lineer ise f_i frekansının değiştirilmesi, f_{GKO} takip edeceği için, gerekli V_k gerilimi, PLL içinde bir Φ faz farkı oluşturarak sağlanır. Dolayısıyla ölçüm sonunda F_{PD} fonksiyonu elde edilir.

Bu amaçla,

1- Faz farkının $\Phi = 90^\circ$ olması için, Şekil 4(a) daki dalga biçimleri elde edinceye kadar giriş işaretinin frekansını ve genliğini ($V_{ipp} \sim 3V$, $f_i \sim 5kHz$) değiştiriniz. Aynı zamanda GKO genliğinde uygun değere ($V_{opp} \sim 4V$) ayarlanmanız gerekecektir. Osiloskoptaki faz değişimi Şekil 9(a) daki gibi olacaktır. Faz farkını (X_o) not alınız. Bu durumda çarpma devresi girişlerini ve V_k gerilimini, Şekil 4(a) daki gibi altalta çiziniz.

2- Faz farkının $\theta < 90^\circ$ olması için, Şekilleri 4(b) deki dalga şekilleri elde edinceye kadar giriş işaretinin frekansını değiştiriniz. Osiloskoptaki faz değişimi Şekil 9(b) daki gibi olacaktır. Faz farkını (X1) not alınız. Bu durumda bir frekans için çarpma devresi girişlerini ve V_k gerilimini, Şekil 4(b) deki gibi altalta çiziniz. Sonraki frekans değerleri için (~2 birimlik daralma için) sadece “X1” ve V_k değerlerini ölçünüz.

3- Faz farkının $\theta > 90^\circ$ olması için, Şekilleri 4(c) deki dalga şekilleri elde edinceye kadar giriş işaretinin frekansını değiştiriniz. Osiloskoptaki faz değişimi Şekil 9(c) deki gibi olacaktır. Faz farkını (X2) not alınız. Bu durumda bir frekans için çarpma devresi girişlerini ve V_k gerilimini, Şekil 4(c) deki gibi altalta çiziniz. Sonraki frekans değerleri için (~2 birimlik daralma için) sadece “X2” ve V_k değerlerini ölçünüz.

4-Ölçü sonuçlarını $V_k = F_{PD}(\Phi)$ grafiğine taşıyınız.

5-Grafik üzerinden K_d değerini bulunuz.

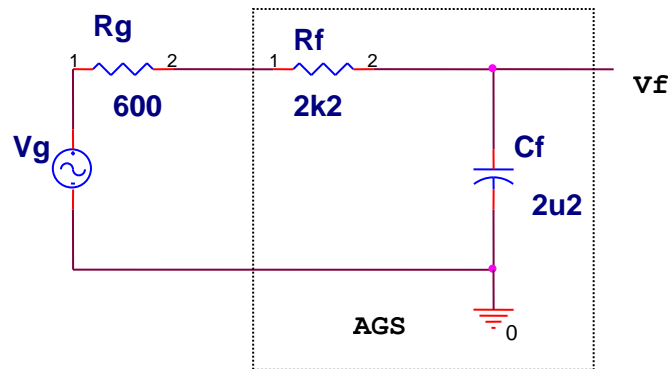
Tartışma

- 1) K_d 'nin değişimini yorumlayınız.
- 2) $V_k - \Phi$ değişimini çizerek, sonucu yorumlayınız.
- 3) AG süzgecin ölçüm sonuçlarına olası etkilerini irdeleyiniz.

3- ALÇAK GEÇİREN SÜZGECİN (AGS) KARAKTERİZASYONU

Alçak geçiren süzgecin PLL yapısındaki işlevi, kabaca, çıkıştaki ($w_1 + w_2$) frekanslı bileşeni bastırmaktır. Ayrıca kullanılan alçak geçiren filtre PLL nin band genişliğini doğrudan etkiler.

Ölçme Düzeni



Şekil 6. Süzgeç ölçme düzeni.

i) Girişe 1V'luk sinüs gerilim uygulanarak, V_O geriliminin frekansla değişimi çıkarılacaktır. Bu nedenle frekans logaritmik değiştirilecek ve ölçü sonuçları logaritmik eksene taşınacaktır.

$$(R= 2K2, C=2.2 \mu F)$$

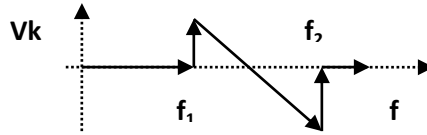
ii) Süzgecin üst kesim frekansı (genliğin -3 dB frekansı) belirlenecektir.

Tartışma

1) Öldtüğünüz üst kesim frekansını, hesapladığınız deęerle karşılaştırınız. Bir tutarsızlık varsa nedenini açıklayınız.

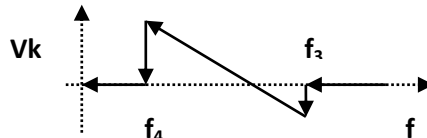
4- PLL YAPISININ KİLİTLENME ve KENETLİ KALMA ARALIĞININ BELİRLENMESİ

Şekil 5 de verilen PLL yapısında giriş işaretinin (referans işareti) frekansı artırılmaya çalışılsın. Bu durumda belirli bir f_1 frekansına gelindiğinde yapı bu frekansı yakalar ve kilitletir. Yani, bir faz farkı ile giriş işaretinin frekansı ile GKO 'ün frekansı birbirine eşit olur. Giriş işaretinin frekansı artırılmaya devam edilirse GKO bu deęişimi belirli bir f_2 frekansına kadar izler. f_2 frekansından sonra yapı artık giriş işaretinin frekansını izleyemez ve GKO giriş işaretini frekansını izlemeyi terkeder.



Şekil 7. Artan frekanslarda PLL davranışı

Bu kez giriş işaretinin frekansı yüksek bir frekanstan (f_2 den yüksek) azaltılmaya başlanılsın. Yapı bir f_3 frekansında giriş işareti kenetlenektir. Frekans azaltmaya devam edildiğinde yapı bu deęişimi bir f_4 frekansına kadar izleyecektir. f_4 frekansından sonra GKO giriş işaretinin frekansını izlemeyi terkeder.



Şekil 8. Azalan frekanslarda PLL davranışı.

Frekans artırılırken ve azaltılırken ilk kilitlendiği frekans aralığına "kenetlenme aralığı" ($f_3 - f_1$) denir. Aynı şekilde, frekans artırılırken ve azaltılırken yapının giriş işaretini terk ettiği frekans aralığına da "kilitlenme aralığı" ($f_2 - f_4$) denir.

GKO'nun kazancı: K_O ; PD 'nin kazancı K_d ; ve Kullanılan AGS için,

Ölçme ile,

Kenetlenme aralığı (Capture Range): $(f_3 - f_1)$

Kilitlenme aralığı (Lock Range) : $(f_2 - f_4)$

Hesapla,

$$\text{Kenetlenme aralığı : } \Delta f_c = [(K_O * K_d)/(R * C)]^{1/2} \text{ [Hz]} \quad (5.1)$$

$$\text{Kilitlenme aralığı : } \Delta f_l = K_O * K_d \text{ [Hz]} \quad (5.2)$$

olarak bulunur.

- Bütün PLL'ler için $(f_3 - f_1) < (f_2 - f_4)$ sağlanacaktır.

Ölçme Düzeni : Şekil 5.

i) Girişe uygun genlikli sinüs işaret uygulayarak, frekansı yavaşça artırılarak f_1 ve f_2 frekanslarını belirleyiniz. (frekansmetre kullanılacaktır)

ii) Aynı giriş işaretinin frekansını yeterince büyük bir (f_2 'den büyük) frekanstan itibaren azaltarak f_3 ve f_4 frekanslarını belirleyiniz.

iii) Kilitlenme ve Kenetlenme aralıklarını belirleyiniz.

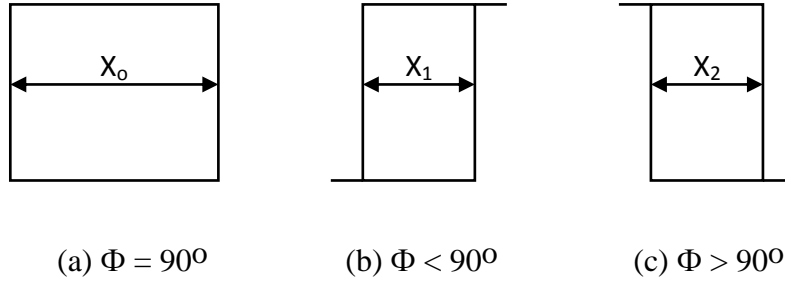
Tartışma

1-Kilitlenme ve kenetlenme aralığını hesaplayınız. Hesap sonuçlarını ölçü sonuçları ile karşılaştırınız.

EK-A**İKİ İŞARET ARASINDAKİ FAZ FARKININ ÖLÇÜLMESİ**

Aynı frekanslı iki işaret arasındaki faz farkını osiloskopta ölçebilmek için, işaretlerden biri osiloskobun dikey saptırma levhalarına diğeri yatay saptırma levhalarına uygulanır. Bu nedenle, işaretlerden birini bir kanala, diğeri de ikinci kanala bağladıktan sonra, dalga şekilleri osiloskopta durağan hale gelinceye kadar gerekli tetikleme zaman ayarı yapılır ve daha sonra osiloskop (x-y) moduna alınarak faz ölçülmesine geçilir.

Eğer faz farkı ölçülecek işaretlerden biri kare dalga ise bu durumda, osilatördeki faz farkı değişimi aşağıdaki gibi olacaktır. Burada kare dalga dikey levhalar arasına, sinüs dalga ise yatay levhalara uygulanmıştır.



Şekil 9. Kare dalga ile sinüs dalga arasındaki faz farkının osiloskoptaki değişimi.

X_0 : 90 derece faz farkına karşı gelen deformasyon kenarları arasındaki uzaklık.

X : histerizis eğrisinde deformasyon kenarları arasındaki mesafe.

Δ : deformasyon miktarı.

$$\Delta = X_0 - X \quad (5.3)$$

Faz farkı $\Phi < 90^\circ$ için,

$$\text{faz farkı} : \Phi = 90 - [(\Delta/X_0) \times 90] \quad [\text{derece}] \quad (5.4)$$

Faz farkı $\Phi > 90^\circ$ için,

$$\text{faz farkı} : \Phi = 90 + [(\Delta/X_0) \times 90] \quad [\text{derece}] \quad (5.5)$$

Radyan olarak faz farkı,

$$\phi(\text{rad}) = \frac{[\phi(\text{dece})]}{360} \times 2\pi \quad (5.6)$$

olur.

EK-B**PLL Seçim Kriterleri**

Firmaların ürettiği değişik PLL tümdevrelerinin arasından seçim yapılırken, öncelikle kullanım amacına göre seçim yapılır. PLL tümdevresinin çalışma frekans bandının uygulama ortamının frekans bandını mutlaka örtmesi gerekmektedir.

Uygulamada aşağıdaki üç grup PLL yapısı ile karşılaşmaktadır.

1) Tüm yapı elemanları analog olan, Analog PLL.

PD: Analog ; GKO: Analog ; AGS: Analog

2) Tüm yapı elemanları ve ara noktadaki işaretler örneklenmiş olan, Sayısal PLL.

PD: Sayısal ; GKO: Sayısal ; AGS: Sayısal

3) Yapısı analog (yani örnekleme işareti içermiyen) olan bir çok PLL 'de PD olarak lojik devrelerin (XOR, FF, PFD vb.) kullanıldığı, Analog/Sayısal PLL. Bunlar bir çok kaynaktaki sayısal PLL başlığı altında işlenmekte olmasına rağmen, gerçekte analog PLL sayılırlar. Bazı kaynaklarda ise hybrid PLL denmektedir.

Eğer giriş işareti sayısal bir işaret ise sayısal PLL kullanmak daha uygundur. Eğer dar bir band içinde gürültülü bir işaret izlenecekse, analog PLL 'nin kullanılması daha uygundur. Bunlardan başka tümdevrenin tek kaynakla mı yoksa çift kaynakla mı besleneceği, besleme geriliminin kullanım aralığı ve çıkış seviyesinin lojik devrelere uyumluluğu gibi ikincil nedenler de seçimde etkili olmaktadır.

KAYNAKLAR

[1] ITU, "Yüksek Frekans Laboratuvarı Deneyleri", Ed.3, ITU,1984.

[2] WILLIAMS, Arthur B., "Designer's Handbook of Integrated Circuits", McGraw-Hill, (1984).

[3] GREBENE, Alan B., "Bipolar and MOS Analog Integrated Circuit Design", (1984).

[4] BEST, Roland E., "Phase Locked Loops", McGraw-Hill,(1984).

[5] Tietz, U, and Schenk, Ch, "Electronic Circuits",Springer,1991. [R0.1, 2/2012, AD]

DENEY 6

Geniş Bantlı Kuvvetlendiriciler

Ön Hazırlık

Deneyden Önce Araştırılması Gereken Konular

- Bant genişletme yöntemleri nelerdir?
- Föyde verilen $h_{fe}-\omega$ ve $f_T - I_C$ değişimlerini farklı kaynaklardan edineceğiniz bilgiler yardımıyla yorumlayınız.
- Lokal geri besleme uygulanan bir devrenin bant genişliği ve çevrim kazancı nasıl değişir?

Teorik Hesaplamalar

- Deneyi **dikkatlice** okuyunuz ve deneyin anlatımında gördüğünüz **tüm “deney öncesi yapınız” vb.** ifadelerle istenenleri deneye gelmeden önce yapınız.

Pspice ile Devre Analizi

- Şekil 8’deki devre için istenenleri yapınız. Spice ve benzeri benzetim programları kullanarak sonuçları gözlemleyiniz.
- Şekil 13’teki devre için istenenleri yapınız. Spice ve benzeri benzetim programları kullanarak sonuçları gözlemleyiniz.

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir.

Amaç

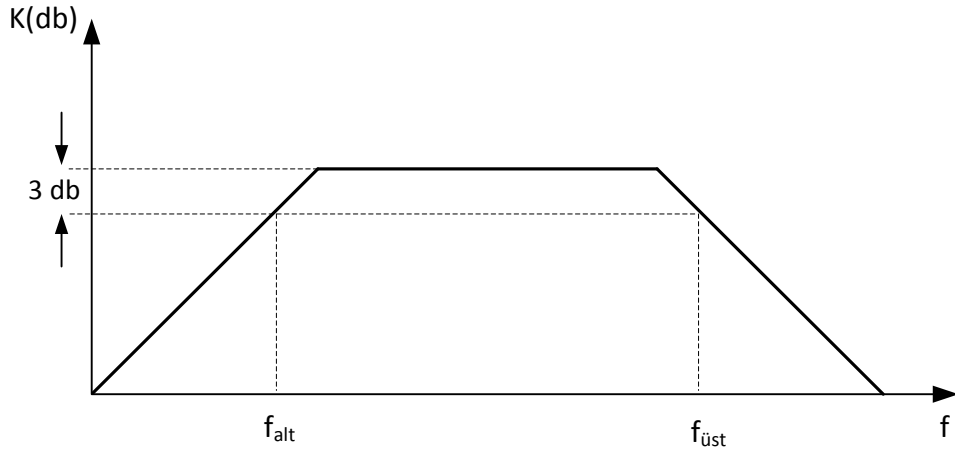
Bu deneyde kuvvetlendiricilerin bant genişliğini arttırmak için kullanılan çeşitli yöntemler incelenecektir.

Giriş

Bir kuvvetlendiricinin üst kesim ve alt kesim frekansları arasındaki bölge kuvvetlendiricinin bant genişliği olarak tanımlanmaktadır. Buna göre bant genişliği,

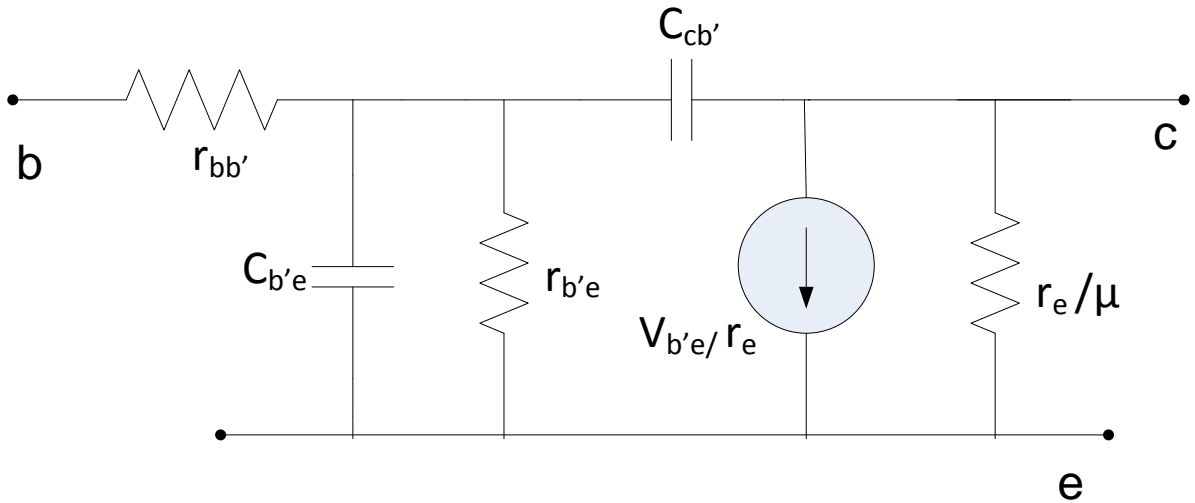
$$B = f_{üst} - f_{alt}$$

olacaktır. $f_{üst} \gg f_{alt}$ halinde $B = f_{üst}$ alınabilir. Bant genişliği ses frekanslarının ötesinde olan kuvvetlendiricilere 'geniş bantlı kuvvetlendiriciler' denir. Bu tür kuvvetlendiricilerin üst kesim frekansı birkaç MHz'den GHz'lere kadar uzanabilir ve en önemli uygulama alanları yüksek frekans haberleşme devreleri ve resim işareti (video) devreleridir.

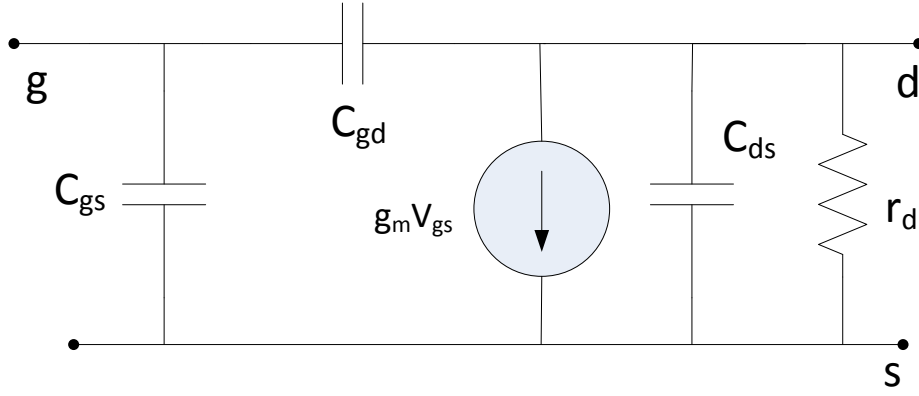


Şekil 1. Bant genişliğinin kazanç- frekans eğrisi üzerinde ifadesi

Geniş bantlı kuvvetlendiricilerin yüksek frekans davranışı büyük ölçüde kullanılan aktif elemanın yüksek frekans davranışına bağlıdır. Şekil 2'de BJT ve Şekil 3'te FET için küçük işaret eşdeğer devre modelleri görülmektedir.



Şekil 2. BJT için küçük işaret eşdeğer devresi



Şekil 3. FET için küçük işaret eşdeğer devresi

Bir bipolar tranzistörde küçük işaret kazancı $h_{fe}(\beta_F)$ 'nin frekansa bağımlı ifadesi,

$$h_{fe}(\omega) = \frac{h_{fe}(0)}{1 + j\omega h_{fe}(0) r_e (C_{b'e} + C_{cb'})}$$

şeklindedir. Burada $h_{fe}(0)$ akım kazancının $\omega = 0$ için değeridir. f_β kesim frekansı olmak üzere Şekil – 4'ten görüleceği gibi f_β 'dan daha büyük frekanslar için h_{fe} 20 dB/dekat eğimle

$$f_\beta = \frac{1}{2\pi h_{fe}(0) r_e (C_{b'e} + C_{cb'})}$$

şeklindedir. f_T ile gösterilen geçiş frekansında $h_{fe} = 1$ olmaktadır. f_T 'nin ifadesi,

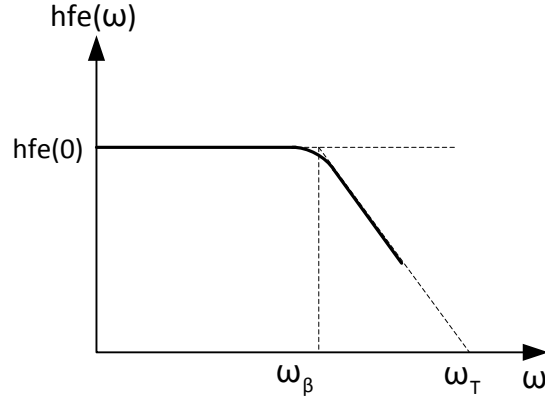
$$f_T = \frac{1}{2\pi r_e (C_{b'e} + C_{cb'})}$$

şeklindedir. f_T ayrıca I_c 'ye bağılı olarak da büyük bir değişim göstermektedir. $h_{fe} - \omega$ ve $f_T - I_c$ değişimleri Şekil – 4'te görülmektedir. Ortalama 20-30 dB kazanca sahip bir geniş bantlı kuvvetlendiricinin tasarımında kullanılan BJT'nin f_T frekansı istenen bant genişliğinden 5-10 kat fazla olmalıdır.

Bir MOSFET'in yüksek frekans davranışı irdelenirken üstünde en fazla durulan parametre f_T 'dir. Geçit küçük genlikli bir işaret ile uyarıldığında ve savak, kaynak ve gövde değişken işaretler bakımından topraklı iken i_d/i_g akım kazancının 1 olduğu frekans f_T ile gösterilmektedir ve

$$f_T = \frac{g_m}{2\pi (C_{gb} + C_{gs})}$$

şeklinde ifade edilir.



Şekil 4. $h_{fe} - \omega$ ve $f_T - I_C$ değişimleri

A. Tümdevre Tekniğinde Kullanılan Geniş Bantlı Kuvvetlendirici Yapılar

Günümüz tüm devre tekniğinde tranzistor çiftlerinden yararlanarak (fark kuvvetlendiricisi ve kaskod devre) geniş bantlı kuvvetlendirici tasarlanması ve kuvvetlendirici katlarına yerel (lokal) geri besleme uygulayarak bantın genişletilmesi yöntemleri kullanılmaktadır.

1) Geribesleme ile Bant Genişletme

Bu yöntemde başvurulan yol kuvvetlendirici katlarına yerel geri besleme uygulamak ve bu şekilde eksil (negatif) geri beslemenin özelliklerinden yararlanmaktır. Çok sayıda kazanç katı içeren bir kuvvetlendiricide tasarımcı her bir kata ayrı ayrı geri besleme (yerel geri besleme) uygulayabileceği gibi sistemin tümüne de geri besleme uygulama imkanı vardır. Sistemin tümüne geri besleme uygulamak devrenin kararlılığı açısından sakıncalar getireceğinden yerel geri besleme tercih edilmektedir.

Transfer fonksiyonu (kazancı) A olan bir kuvvetlendiricinin yüksek frekans bölgesinde tek kutbu bulunsun;

$$A(s) = A_0 \frac{-s_k}{s - s_k}$$

olacaktır. Bağlantıda görülen A_0 , $A(s)$ 'in orta frekans bölgesinde aldığı değerdir.

$$A_f(s) = \frac{A(s)}{1 - \beta A(s)}$$

ifadesi kullanılarak geri beslemeli durumda,

$$A_f(s) = A_{f0} \frac{-s_{kf}}{s - s_{kf}}$$

bulunur. Bu ifadede,

$$A_{f0} = \frac{A_0}{1 - \beta A_0}$$

ve

$$s_{kf} = (1 - \beta A_0) s_k$$

şeklindedir. Görüldüğü gibi geri beslemenin uygulanmasıyla transfer fonksiyonunun yüksek frekans kutbu $(1 - \beta A_0)$ kez artmıştır.

Yerel geribesleme uygulayarak bir aktif elemanın geçiş iletkenliğinin (eğiminin) kesim frekansını artırmak da mümkündür. Bilindiği gibi aktif elemanın eğimi frekansa bağlı olarak

$$g_m = \frac{g_{m0}}{1 + j \frac{f}{f_{g_m}}}$$

şeklinde ifade edilir. Burada g_{m0} eğimin alçak ve orta frekanslardaki değeri ve f_{g_m} de kesim frekansıdır. Eğimin kesim frekansının geribesleme ile nasıl yükseldiği bir tranzistor üzerinde incelenebilir.

Şekil – 5 ‘teki transistorün eğimi belirli bir çalışma noktası için g_m ise, emetöre geri besleme direnci yerleştirilmesiyle (yani akımdan seri geri besleme uygulanmasıyla) elde edilen yeni düzenin eğimi,

$$g_m' = \frac{g_m}{1 + g_m R_E}$$

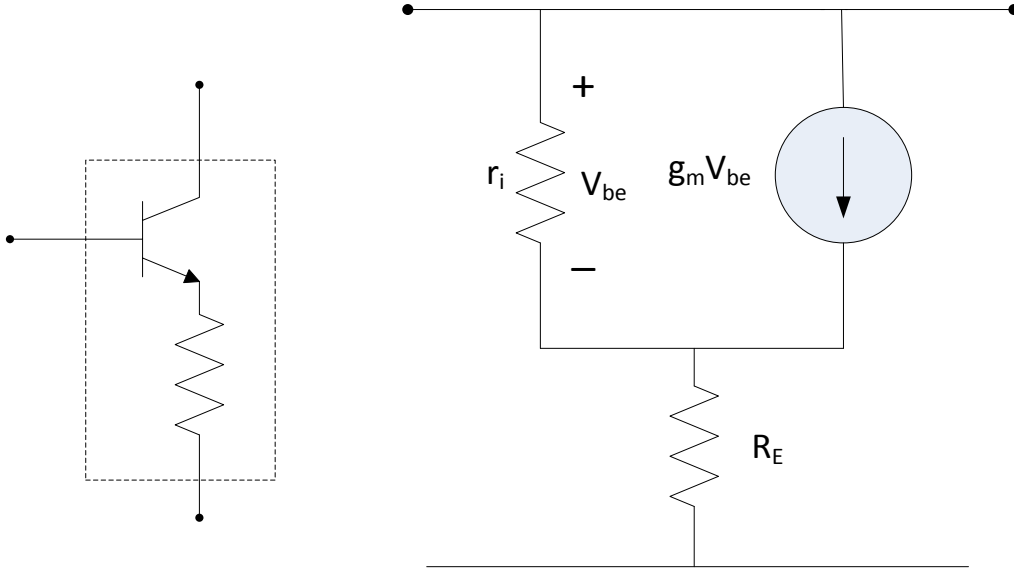
şeklindedir. g_m' ve g_m frekansa bağlı dolayısıyla kompleks büyüklüklere sahiptir. R_E direncinin etkisiyle g_m' nün g_m ye göre küçük olacağı açıktır. Negatif geri beslemenin bir sonucu olarak eğimin kesim frekansını da aynı oranda artırır. Bu durumda eğim daha genel olarak ve frekansa bağlı olarak ifade edilirse,

$$g_m' = \frac{g_{m0}'}{1 + j \frac{f}{f_{g_m} (g_{m0}/g_{m0}')}}}$$

yazılır. Bir başka ifadeyle eğimin kesim frekansını,

$$f_{g_m}' = f_{g_m} (1 + g_{m0} R_E) = f_{g_m} \frac{g_{m0}}{g_{m0}'}$$

değerine yükseltilmiş olmaktadır.



Şekil 5. Emetöre geribesleme direnci yerleştirilmesiyle elde edilen yeni devrenin eşdeğeri

Unutmamak gerekir ki devrenin bant genişliği geri besleme ile artırılırken çevrim kazancı da ayrı oranda azalmaktadır. Bir başka deyişle kazanç-bant genişliği çarpımı sabit kalmaktadır.

2. Tranzistör Çiftleri ile Gerçekleştirilen Geniş Bantlı Kuvvetlendiriciler

Bant genişliğini artırmanın bir diğer yolu devrenin tasarımını uygun yaparak aktif elemanın iç kapasitelerinin etkisini azaltmaktır.

2.1 Fark kuvvetlendiricisi (Uzun kuyruklu devre)

Geniş bantlı fark kuvvetlendiricisi Şekil-6'da görülmektedir. Görüldüğü gibi T_1 transistörünün kollektörü kaynağa doğrudan bağlanmıştır. Bu nedenle Miller olayı uygulandığında $C_{cb'}$ kapasitesi girişe herhangi bir çarpanla çarpılmadan gelecektir. T_1 transistörü emetör çıkışlı bir kuvvetlendiricidir. T_1 ve T_2 eş transistörlerinin akımları birbirine eşittir. Bu durumda $r_{e1} = r_{e2}$ olacaktır. *Emetör* çıkışlı T_1 transistörünün yükü olan T_2 'nin bazı topraklı olduğundan,

$$V_e = V_1/2$$

şeklindedir. Bu durumda T_1 'in bazından görülecek kapasite $C_{b'e}/2$ olur. T_2 transistörü ortak bazlı bir kuvvetlendirici olduğundan sağlayacağı gerilim kazancı,

$$V_2/V_e = R_C/r_e$$

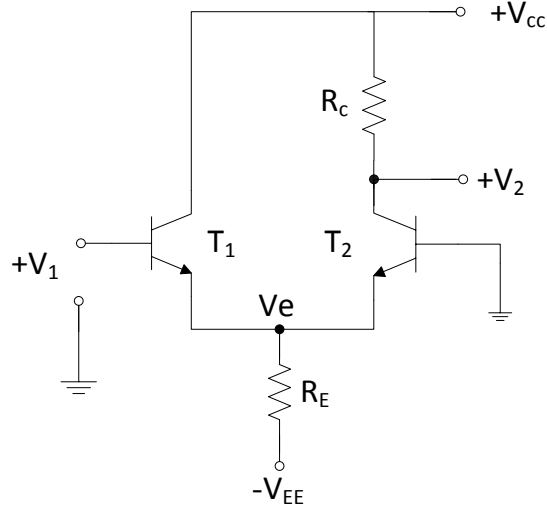
ve devrenin toplam kazancı,

$$V_2/V_1 = R_C/2r_e$$

olacaktır. T_1 'in girişine gelen kapasite,

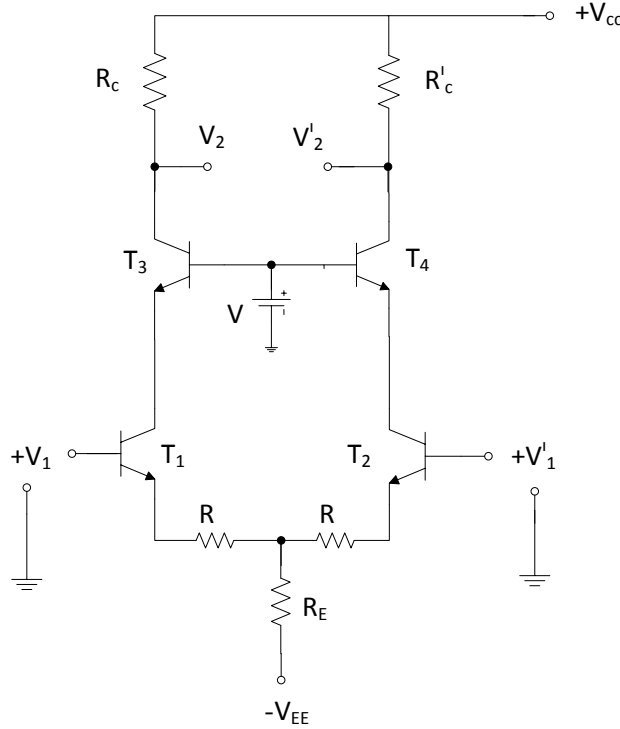
$$C_{i1} = \frac{C_{b'e}}{2} + C_{cb'}$$

formülü ile bulunur.



Şekil 6. Geniş bantlı fark kuvvetlendiricisi

Asimetrik giriş ve çıkış için uygun olan bu devre simetrik işaretli kullanım için uygun değildir. Simetrik giriş ve çıkış için Şekil - 7'deki kaskod uzun kuyruklu devreyi kullanmak daha uygun olacaktır. Şekil-7'deki devre uzun kuyruklu ve kaskod kuvvetlendiricinin özelliklerini birlikte taşır. T_1 ve T_2 'nin emetörlerine seri olarak bağlanan R_E dirençleri ile $C_{b'e}$ 'nin etkisi iyice azaltılabilir.



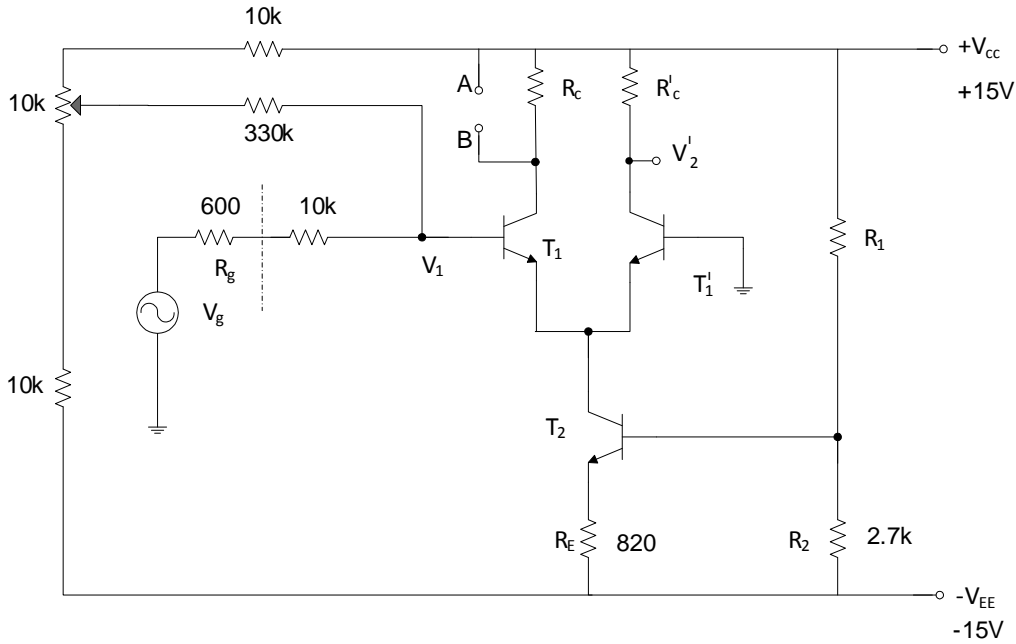
Şekil 7. Kaskod uzun kuyruklu devre

Görüldüğü gibi uzun kuyruklu kuvvetlendiricide giriş kapasitesi küçülmekle beraber orta frekans kazancı da azalmıştır. Bu nedenle devre kazanç-bant genişliği çarpımı açısından bir avantaj sağlamaz.

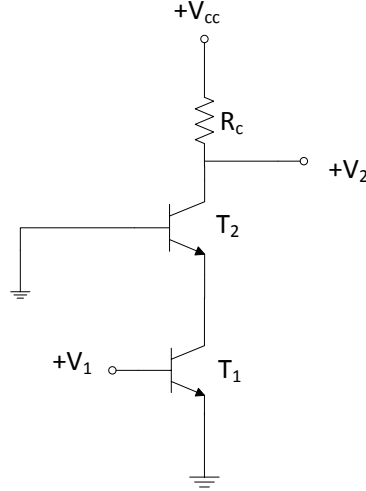
Deneye gelmeden önce Şekil-8'deki devrede $I_T = 3\text{mA}$ ve $V_{CQ} = V_{CQ'} = 10\text{V}$ olması için R_1 , R_C ve R_C' direnç değerlerini hesaplayınız ve hesapladığınız değerlerin deneyde kullanılacak olan değerlerle uyumlu olup olmadığını sorgulayınız. Ayrıca V_2'/V_1 orta frekans gerilim kazancını ve $R_C=0$ ve $R_C>0$ durumları için yüksek frekanslardaki kutup frekansını bulunuz. Hesaplamalarınız sırasında $h_{FE}=300$, $V_{BE}=0.65\text{V}$, $V_T=26\text{mV}$, $h_{fe}=330$, $f_T=200\text{MHz}$, $r_{bb}'=50\Omega$, $h_{RE}=0$, $h_{oe}=0$ ve $C_{cb}'=3\text{pF}$ alınız.

2.2 Kaskod kuvvetlendirici

Bilindiği gibi kuvvetlendirici katta kullanılan aktif elemanın çıkışı ile girişi arasında oluşan kapasite elemanın girişine kazançla çarpılarak gelir. Girişe gelen kapasiteyi azaltmak için kullanılan devrelerden biri kaskod kuvvetlendiricidir. Tranzistörlü bir kaskod kuvvetlendirici Şekil-9'da görülmektedir. Bu devrede doğru akım şartlarını sağlamak amacıyla kullanılan elemanlar gösterilmemiştir. Devreden görüldüğü gibi T_2 tranzistörü ortak bazlı bir kuvvetlendirici olarak çalışmaktadır. Tranzistörlerin çalışma akımları birbirine eşittir. T_1 'in kolektöründeki yük T_2 'nin emetöründen görülen dirence eşittir ve bu direnç r_{e2} 'dir. $r_{e1} = r_{e2}$ olduğundan T_1 'in sağladığı gerilim kazancı -1'dir. Bu nedenle T_1 'in girişine C_{cb}' kapasitesi büyük bir sayı ile çarpılmadan gelir. T_2 'nin kazancı R_{C2}/r_{e2} olur. Dolayısıyla kaskod kuvvetlendiricinin kazancı $-R_{C2} / r_{e1}$ olacak yani tek tranzistörlü devrenin kazancına eşit olacaktır.



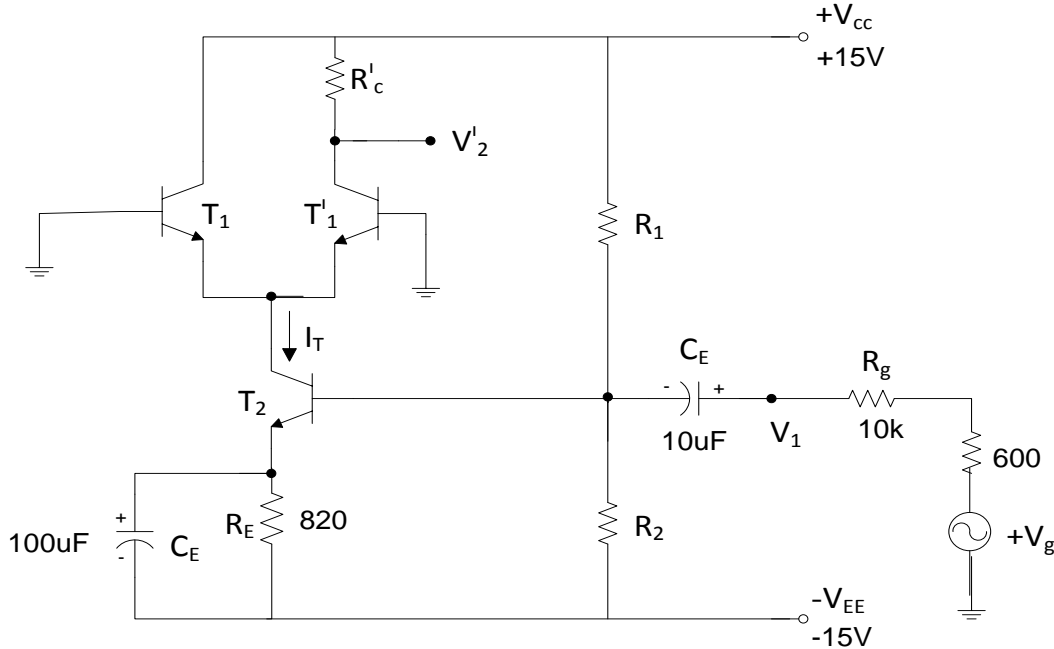
Şekil 8. Deney 1 için kurulacak devre



Şekil 9. Transistörli bir kaskod kuvvetlendirici

Deneye gelmeden önce Şekil-10'daki devre için eşdeğer devre yardımıyla orta frekans gerilim kazancını ve yüksek frekanslardaki kutup frekanslarını bulunuz. Şekil 8'deki hesaplamalarınız sırasında kullandığınız transistöre ilişkin büyüklükleri Şekil-10'daki devre için de kullanabilirsiniz.

Şekil-8'deki devreyi Şekil-10'daki gibi düzenleyerek kaskod devreye dönüştürünüz. (Uygulamada da bu şekilde genel amaçlı tüm devre kuvvetlendiriciler bulunmaktadır.) Doğru gerilimleri ölçünüz. $f=1\text{KHz}$ 'de çıkışta düzgün bir sinüzoidal işaret elde edecek şekilde osilatör seviyesini ayarlayınız. $1\text{KHz}-5\text{MHz}$ değerleri arasında kuvvetlendiricinin frekans karakteristiğini çıkartınız. Giriş frekansı 50KHz olan bir kare dalga uygulayarak çıkış işaretinin değişimini inceleyiniz.



Şekil 10. Kaskod kuvvetlendirici deneyi için kurulacak devre

3. Kompanzasyon ile Bant Genişletme

Tek katlı bir kuvvetlendiricide bant genişliği üst kesim frekansı ile belirlenir. Üst kesim frekansını belirleyen kutup kuvvetlendiriciye eklenen R-C elemanları ile ötelenebilir veya transfer fonksiyonuna sıfır getirerek yok edilebilir. Bir diğer yöntem ise devreye L-C elemanlarıyla kompanzasyon yapmaktır. Bu işlem yapılırken endüktans aktif elemanın girişine seri veya paralel olarak bağlanabilir ve bağlantı şekline göre seri kompanzasyon veya paralel kompanzasyon olarak adlandırılır.

3.1 Seri kompanzasyon ile bant genişletme

Aktif elemanın girişine seri bir endüktans bağlanarak gerçekleştirilen geniş bantlı kuvvetlendirici Şekil-11'de görülmektedir. Bu devrede $R_1 = r_{bb'2} + R_{C1} + r_{i2}$, $R_2 = r_{i2} / (r_{bb'2} + R_{C1})$, $r_{i2} = h_{fe} \cdot r_{e2}$ olmak üzere $R_2 < R_1$ ve $R_1 \cdot C_{i2} \gg L / R_1$ şartlarının sağlanması halinde aşağıdaki durumlarla karşılaşılır:

a)

$$L < \frac{R_1 R_2^2 C_{i2}}{4r_{i2}}$$

Bu durumda kutuplar negatif ve gerçel olurlar. Bant genişliğini büyüklüğü (modülü) küçük olan kutup belirler.

b)

$$L = L_k = \frac{R_1 R_2^2 C_{i2}}{4r_{i2}}$$

şartının sağlanması halinde kutuplar negatif, gerçel ve iki katlıdır. Kompanzasyonsuz haldeki üst kesim frekansı f_2 ile gösterilirse, bu duruma ilişkin üst kesim frekansı (dolayısıyla bant genişliği)

$$f_{2k} = 1.28f_2$$

şeklinde hesaplanabilir.

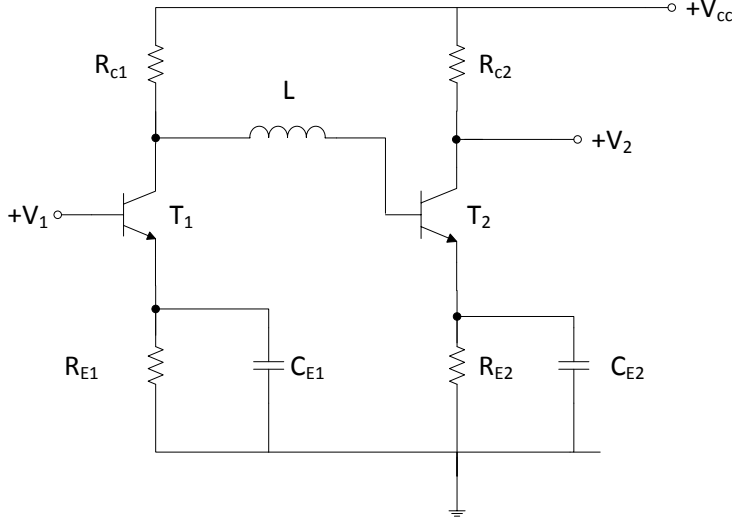
c)

$$L > \frac{R_1 R_2^2 C_{i2}}{4r_{i2}}$$

olması halinde kutuplar karmaşık ve eşlenik olurlar. Bu durumda L' nin alacağı değere bağlı olarak frekans eğrisi maksimum düzlükte (Butterworth tipi) bir frekans eğrisi olabileceği gibi tepe gösteren (Chebyshev tipi) bir frekans eğrisi de olabilir. Maksimum düzlükte bir frekans eğrisi elde edebilmek için kutbun sanal kısmının değeri gerçel kısmının değerine eşit olmalıdır. Bunun için gereken şart

$$L_B = 2L_k = \frac{R_1 R_2^2 C_{i2}}{2r_{i2}}$$

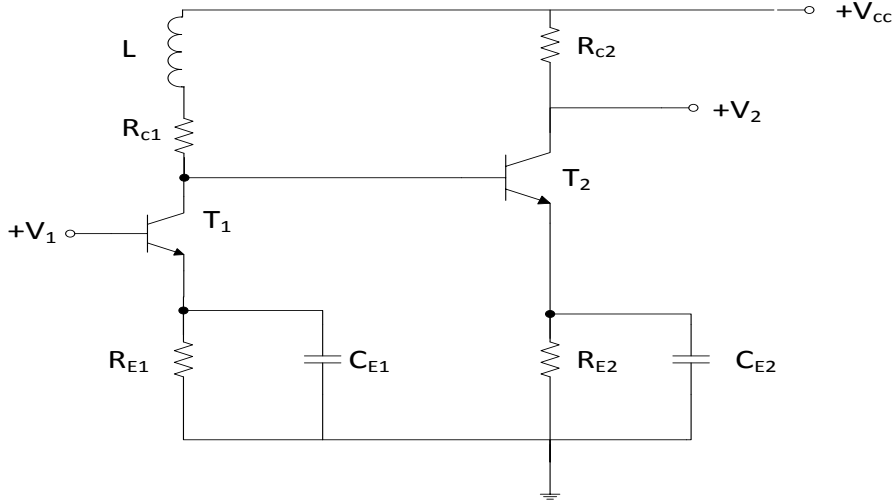
olmasıdır. Maksimum düzlükte bir frekans eğrisi elde edilmesi halinde bu duruma ilişkin üst kesim frekansı: $f_{2B} = \sqrt{2} \cdot f_2$ olur. L değeri L_B ' den daha büyük tutulursa kutuplar $j\omega$ eksenine yaklaşır ve frekans eğrisi hörgüçlü bir eğriye dönüşür.



Şekil 11. Aktif elemanın girişine seri bir endüktans bağlanarak gerçekleştirilen geniş bantlı kuvvetlendirici

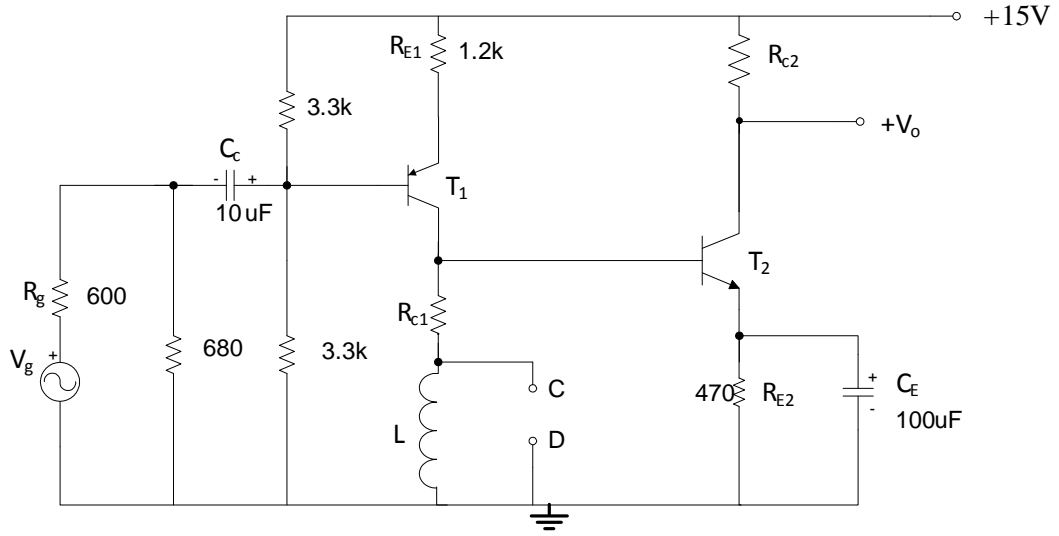
3.2 Paralel Kompanzasyon ile Bant Genişletim

Paralel kompanzasyonlu bir geniş bantlı kuvvetlendirici Şekil-12'de görülmektedir. Daha önce seri kompanzasyonlu devre için verilen şartlar aynen geçerlidir.



Şekil 12. Paralel kompanzasyonlu bir geniş bantlı kuvvetlendirici

Deneye gelmeden önce, Şekil- 13'teki devrede $V_{CE1} = -5.5$ V, $V_{C2} = 12.5$ V olması istendiğine göre R_{C1} ve R_{C2} değerlerini hesaplayınız ve hesapladığınız değerlerin deneyde kullanılacak olan değerlerle uyumlu olup olmadığını sorgulayınız. Kompanzasyonsuz haldeki kutbu bulunuz. (T_1 çok geniş bantlı kabul edilerek etkisi dikkate alınmayacaktır. Nedenini açıklayınız.) L_K ve L_B değerlerini hesaplayınız. Hesaplamalarınızda $V_{BE} = 0.65$ V, $h_{fe} = 350$, $V_T = 26$ mV $C_{cb} = 3$ pF, $r_{bb2} = 50 \Omega$, $f_{T2} = 240$ MHz alınız.



Şekil 13. Deney 2 için kurulacak devre

Referans kitaplar:

1) Mehmet Sait Türköz, Elektronik

2) Adel S. Sedra & Kenneth C. Smith Microelectronic Circuits

DENEYLER**Deney - 1**

A)

1) Şekil-8'deki devreyi $R_C = R_C' = 3.3k \Omega$ ve $R_1 = 22k \Omega$ için kurunuz, P potansiyometresi yardımıyla T_1 ve T_1' arasındaki dengesizliği gidererek akımların eşit olmasını sağlayınız ($I_{T1} = I_{T2}$) ve bu durumda devrenin doğru gerilimlerini ölçünüz ve DC analizini yaparak aşağıdaki tabloyu doldurunuz.

	V_C	V_B	V_E
T_1			
T_1'			
T_2			

2) Osilatör frekansını 1KHz yaparak çıkış gerilimi V_2 'nin kırılmaması bir seviyesinde v_2'/V_1 gerilim kazancını ölçünüz. Osilatör frekansını 1KHz-5MHz aralığında logaritmik adımlarla değiştirerek devrenin gerilim kazancını izleyiniz. Gözlemlerinizi aşağıdaki tabloya dökünüz.

f	1kHz	10kHz	100kHz	1MHz	5MHz
V_2'					
V_1					
K					

Bu durumda ;

Üst kesim frekansı =

Kazanç =

3) Son olarak da girişe 50KHz'lik kare dalga uygulanarak çıkış işaretini gözlemleyiniz. Çıktadaki işarete darbe üstü eğilmesi gözlemlendi mi? Şayet gözlemlendiyse sebebini yorumlayınız.

Bu durumda;

Yükselme süresi =

Düşme süresi =

B) $R_C=0$ yaparak (A-B uçlarını kısa devre ederek) tüm ölçümleri tekrarlayınız.

1)

	V_C	V_B	V_E
T_1			
T_1'			
T_2			

2)

f	1kHz	10kHz	100kHz	1MHz	5MHz
V'_2					
V_1					
K					

Bu durumda ;

Üst kesim frekansı =

Kazanç =

3) Son olarak da girişe 50KHz'lik kare dalga uygulanarak çıkış işaretini gözlemleyiniz.. Çıkıştaki işarete darbe üstü eğilmesi gözlemlendi mi? Şayet gözlemlendiyse sebebini yorumlayınız.

Bu durumda;

Yükselme süresi =

Düşme süresi =

A kısmına göre;

a) Düşme ve yükselme süreleri nasıl değişti? Neden?

b) Kazanç değişti mi? Bant genişliği değişti mi? Hangi kesim frekansının (alt kesim/üst kesim) etkisiyle nasıl bir değişim gözlemlendi?

Deney - 2

A)

1) Şekil-13'teki paralel kompanzasyonlu devreyi $R_{C1} = 470 \Omega$ ve $R_{C2} = 560 \Omega$ olarak kurunuz. Devrenin doğru gerilimlerini ölçünüz. $L=0$ olarak devrenin DC analizini yapınız ve aşağıdaki tabloyu doldurunuz.

	V_C	V_B	V_E
T_1			
T_2			

2) $f=1$ KHz'te giriş işaretinin seviyesini çıkışta düzgün sinüs elde edeceğimiz bir seviyeye ayarlayınız. Osilatör frekansını 1 KHz-5MHz aralığında logaritmik artışlarla adım adım değiştirerek devrenin gerilim kazancındaki değişimi gözlemleyiniz. Bulgularınızı tabloya not ediniz.

f	1kHz	10kHz	100kHz	1MHz	5MHz
V_o					
V_i					
K					

Bu durumda ;
 Üst kesim frekansı =
 Kazanç =

3) Girişe 50 KHz'lik bir kare dalga uygulayarak çıkış işaretinin değişimini inceleyerek çiziniz.

Bu durumda;
 Darbe üstü eğilmesi =
 Yükselme süresi =
 Düşme süresi =

B) $L=0$ için yapılan tüm ölçümleri $L=L_B$ için tekrarlayınız. Elde ettiğiniz sonuçları tablolara işleyiniz.

1)

	V_C	V_B	V_E
T_1			
T_2			

2)

f	1kHz	10kHz	100kHz	1MHz	5MHz
V_o					
V_i					
K					

Bu durumda ;
 Üst kesim frekansı =
 Kazanç =

3) Daha sonra girişe 50KHz'lik kare dalga uygulayarak çıkıştaki işareti gözlemleyiniz.

Darbe üstü eğilmesi =

a) Yükselme ve düşme süresini gözlemleyebildiniz mi? Neden?

b) Üst kesim frekansı ve kazanç A kısmına göre nasıl değişmiştir? Kazanç bant genişliği bu durumda ne olmuştur?

Raporda istenenler:

1) Ön hazırlık çalışmalarınızı ve deneydeki bulgularınızı raporunuza koyunuz.

2) Deney sonuçlarını yorumlayınız.

DENEY 7

Alçak Frekans Osilatörleri

Ön Hazırlık

Deneyden Önce Araştırılması Gereken Konular

- Berkhausen kriteri nedir? Araştırınız.
- Sinüs osilatörünün salınım frekansı nedir? Bu frekansın sinusoidal sürekli haldeki toplam çevrim kazancınının fazı ve modülüne nasıl bağlı olduğunu araştırınız.

Teorik Hesaplamalar

- Şekil 2'den görüldüğü üzere geribesleme devresi üç kutuplu bir yüksek geçiren filtre olarak çalışmaktadır. β devresindeki dirençler ile kapasitelerin yeri değiştirilerek elde edilecek üç kutuplu alçak geçiren filtre yapısı ile sinüs osilatör gerçekleştirilebilir mi? Nedenleri ile beraber açıklayınız.
- Şekil 6b'deki devrede V_0-V_i değişimi nasıl olur çizerek gösteriniz.
- JFET'in çıkış özdeşliğini ($ID-V_{gs}-V_{ds}$) çiziniz.

Şekil 10.a'daki devrenin salınım frekansının olduğunu gösteriniz.

$$f = \frac{1}{2 \cdot R' \cdot C \cdot \ln \left\{ \frac{2R_1 + R_2}{R_2} \right\}}$$

PSpice ile Devre Analizi

- Şekil 3'deki devreyi, Spice ortamında kurunuz. Ayarlanabilir direnç ile devrenin osilasyon yapmasını sağlayınız. Sinüs işaretinin kırılmadan salındığı durumda 1, 2 ve 3 numaralı düğümlerin dalga şekillerini çizdiriniz.
- Şekil 13'deki devreyi, Spice ortamında kurunuz. Devrenin zaman domeni analizini yaparak 1, 2 ve 3 numaralı düğümlerin dalga şekillerini çizdiriniz.

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir. Deneyi **dikkatlice** okuyunuz ve deneyin anlatımında gördüğünüz tüm “**deney öncesi yapınız**” vb. ifadelerle istenenleri deneye gelmeden önce yapınız.

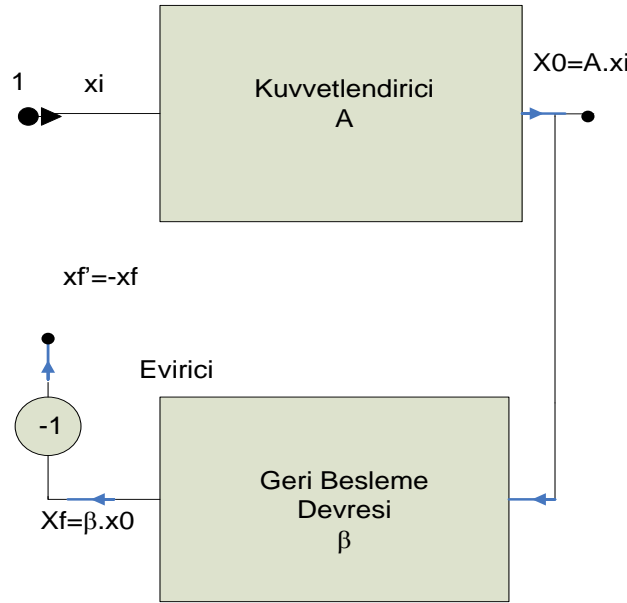
Amaç

Bu deneyde alçak frekans osilatörleri hakkında bilgi verilecek ve uygulamaları olarak osilasyon devreleri incelenecektir.

Giriş

Osilatörler ürettikleri dalga şekillerine göre sınıflandırılırlar. Bunlardan sinüs biçiminde işaret üretenlerine "Sinüs Osilatörleri" adı verilir. Pek çok yapıda ve isimde sinüs osilatörü gerçekleştirilmiştir. Sinüs osilatörü gerçekleştirmedeki bu çeşitlilikten de kolayca anlaşılacağı üzere, bir sinüs osilatöründen beklenen önemli özellikler vardır. Bunlardan en önemlileri frekans kararlılığı, genlik kararlılığı ve işaretin ne kadar sinüse benzediğidir.

Bu deneyin birinci kısmında sinüs osilatörlerinin çalışma prensiplerini incelemek üzere faz ötelemeli osilatör ve kazanç kontrollü wien osilatörü devreleri incelenecektir. Ancak bu osilatör devrelerinin incelenmesine geçmeden önce osilasyon için önemli bazı kriterlere değinmekte fayda vardır. Analog Elektronik Devreleri dersinde bu konu ayrıntılı bir şekilde incelenmiş olduğundan, burada yalnızca bu önemli kriterler verilecektir.



Şekil 1. Geribesleme uygulanmış düzene ilişkin blok diyagram

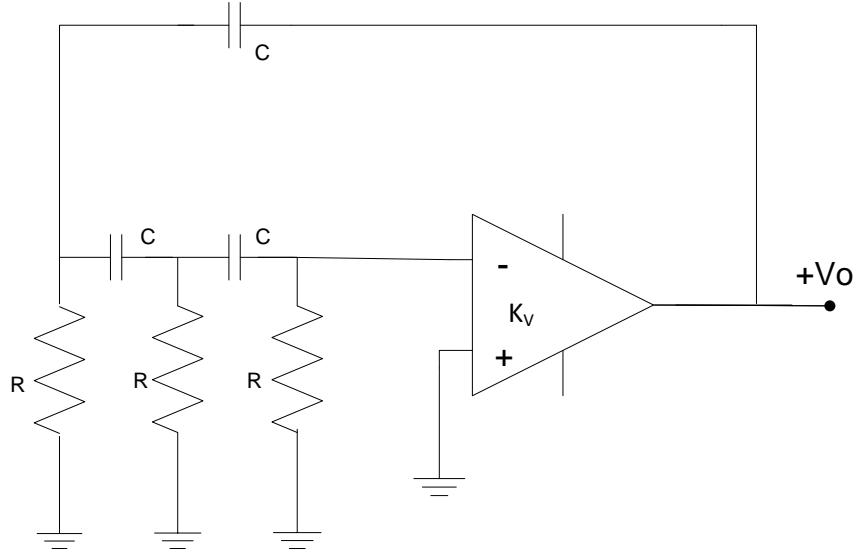
Şekil 1'de bir kuvvetlendirici, bir geri besleme devresi ve bir giriş işaret kaynağı gösterilmiştir. Kuvvetlendirici çıkışında, x_i giriş işaretine bağlı olarak x_o işareti üretilmektedir. Geri besleme devresinin çıkışı $x_f = \beta x_o = \beta A x_i$ olmaktadır. Eviricinin çıkışı ise $x_f' = -x_f = -\beta A x_i$ olur.

Şekil 1'de çevrim kazancı

$$(x_f' / x_i) = -x_f / x_i = -\beta A \text{ olarak bulunur.}$$

Şimdi x_f' , dışarıdan uygulanan işaret kaynağı x_i ile aynı genlik ve fazda olmasına neden olacak koşulların oluştuğunu düşünelim. Bu durumda dışarıdan uygulanan işaret kaynağını kaldırıp, 2 numaralı düğümü 1 numaralı düğümüne bağlayacak olursak, kuvvetlendirici aynı x_o çıkış işaretini oluşturmaya devam edecektir.

Faz Ötelemeli Osilatör



Şekil 2. Faz Ötelemeli Osilatörün genel yapısı

Şekil 2'de faz ötelemeli osilatörün genel yapısı gösterilmiştir. Bu faz ötelemeli osilatör, faz döndüren kuvvetlendirici ve direnç- kapasite elemanlarından oluşmuş bir geri besleme devresiyle oluşturulmuştur. Sinüzoidal sürekli halde yapılan analiz sonucu $\alpha = 1/\omega RC$ olmak üzere:

$$-\beta(j\omega) = \frac{V_i(j\omega)}{V_o(j\omega)} = \frac{1}{1 - 5\alpha^2 - j(6\alpha - \alpha^3)} \quad (1)$$

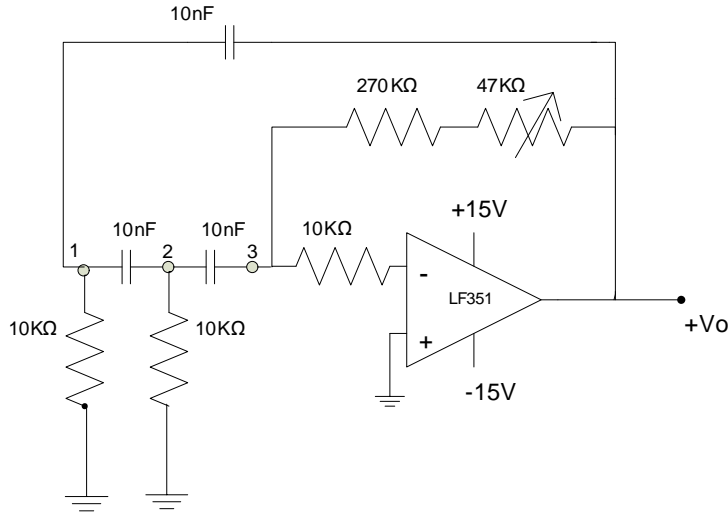
Osilasyon için $\angle [A\beta(j\omega)] = 0^\circ$ olması gerektiği hatırlanırsa $\angle [A\beta(j\omega)] + \angle [A] = \angle [\beta(j\omega)] + 180^\circ$ ($A = -K_v$, 180° faz döndüren kuvvetlendirici) olduğundan RC devresinin 180° faz kaymasına neden olduğu frekans değeri salınım frekansıdır.

$$f = \frac{1}{2\pi RC\sqrt{6}} \quad (2)$$

Salınım frekansında $|\beta(j\omega)| = 1/29$ olarak bulunabilir. Buna göre $|A\beta(j\omega)| \geq 1$ koşulundan $|A| \geq 1/|\beta(j\omega)|$ olduğundan $|A| \geq 29$ olması gerekir. Pratikte toplam çevrim kazancının büyüklüğü (modülü) (orta frekanslarda) birden biraz daha büyük yapılıır. (örneğin %5) Bu durumda çıkıştaki sinüs dalgasının genliği her çevrimde sürekli birden daha büyük bir kazançla çarpılacaktır. Bu nedenle çıkış sinüs dalgasının genliği sürekli büyüyecektir. Ancak genlikteki bu artış osilatör devresindeki negatif kazançlı kuvvetlendiricinin gerilim geçiş eğrisinin doğrusal olmayışı nedeniyle sınırlanır. Bu doğrusallık bozulması, büyük genlikli işaretler için ve kırılma sınırlarına doğru daha etkilidir. Bu nedenle çıkış sinüs dalgasının tepe değeri kuvvetlendiricinin kırılma sınırına yakın, ancak biraz daha küçük olacaktır.

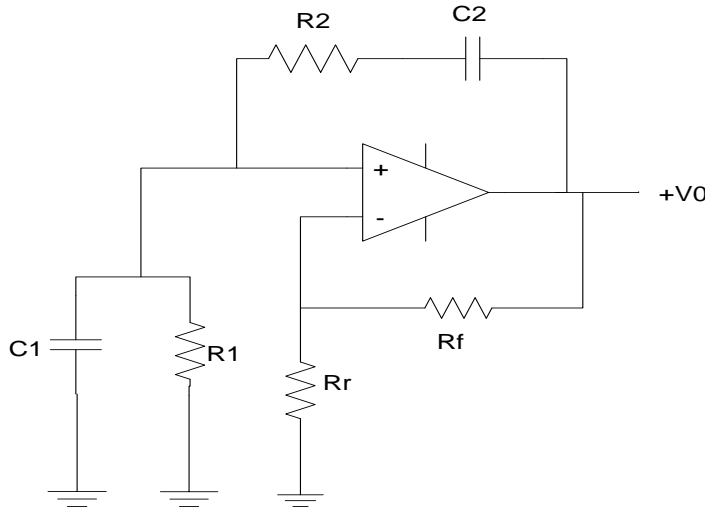
Şekil 2'den görüldüğü üzere geri besleme devresi üç kutuplu bir yüksek geçiren filtre olarak çalışmaktadır. G devresindeki dirençler ile kapasitelerin yeri değiştirilerek elde edilecek üç kutuplu alçak geçiren filtre yapısı ile sinüs osilatör yapmanın mümkün olup olmadığını araştırınız.

Şekil 3'deki devreyi kurunuz. R' potansiyometresi ile devrenin osilasyon yapmasını sağlayınız. (Bunu yaparken R' ile çıkış sinüs dalgasında minimum kırıpılma olacak şekilde ayar yapmaya çalışınız) Ayarı yaparken sinüs işaretin zaman zaman yavaş yavaş söndüğünü veya kırıpılmanın arttığını gözlemleyiniz. Minimum kırıpılma durumunda 1,2 ve 3 numaralı düğümlerin dalga şekillerini ölçekli olarak çiziniz. Bulduğunuz sonuçları teorik sonuçlarla karşılaştırınız. C=1nF için yaptıklarınızı tekrarlayınız.



Şekil 3. Faz Ötelemeli Osilatör

Wien Osilatörü



Şekil 4. Wien Osilatörü

Şekil 4'te Wien Osilatörü devresi görülmektedir. Devredeki işlemsel kuvvetlendiricinin açık çevrim kazancının, giriş direncinin ve bant genişliğinin sonsuz çıkış direncinin de sıfır olduğunu kabul edelim. Devreye R_f ve R_r üzerinden negatif geri besleme uygulanmış olduğundan, devrenin gerilim kazancı $K_v=1+ R_f/ R_r$ olmaktadır. Ayrıca bu kuvvetlendiriciye Z_1 ve Z_2 empedansları üzerinden pozitif geri besleme uygulanmıştır. Bu durumda $\beta= Z_1/(Z_1 + Z_2)$ olur. Osilasyon koşullarından devrenin salınım frekansı ve kuvvetlendiricinin kazancı:

$$f_0 = \frac{1}{2\pi\sqrt{R_1C_1R_2C_2}} \text{ ve } K_{vf} = 1 + \frac{C_1}{C_2} + \frac{R_2}{R_1} \quad (3)$$

bulunur. Özel olarak $R_1 = R_2 = R$ ve $C_1 = C_2 = C$ için:

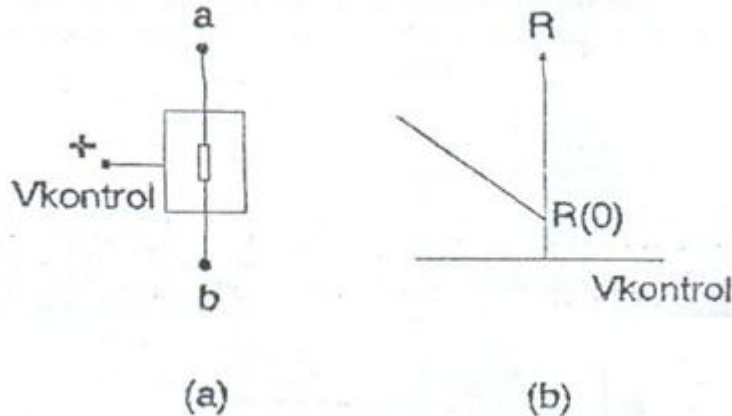
$$f_0 = \frac{1}{2\pi RC} \text{ ve } K_{vf} = 3 \quad (4)$$

bulunur.

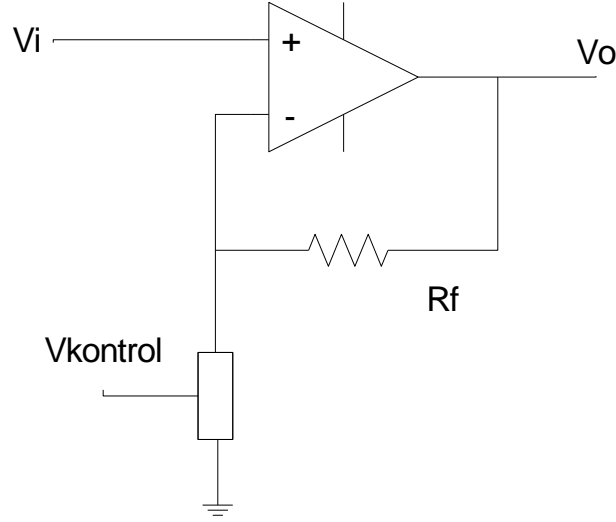
$K_{vf} = 1 + R_f / R_r = 3$ olması gerektiğinden $R_f = 2R_r$ koşulunun sağlanması gerekir.

Bir önceki bölümde faz ötelemeli osilatör için söylendiği gibi , Wien osilatörü için de kazancın tam olarak 3' de tutulması mümkün olmaz. Kazanç 3'den küçük olduğu zaman devre osilasyon yapmayacak, 3'ten büyük olduğu zaman da, çıkış işaretinin genliği sürekli büyüyerek kırılma sınırına ulaşacaktır. Bu nedenle kazancı kompanze edilmiş kuvvetlendiriciler kullanılır.

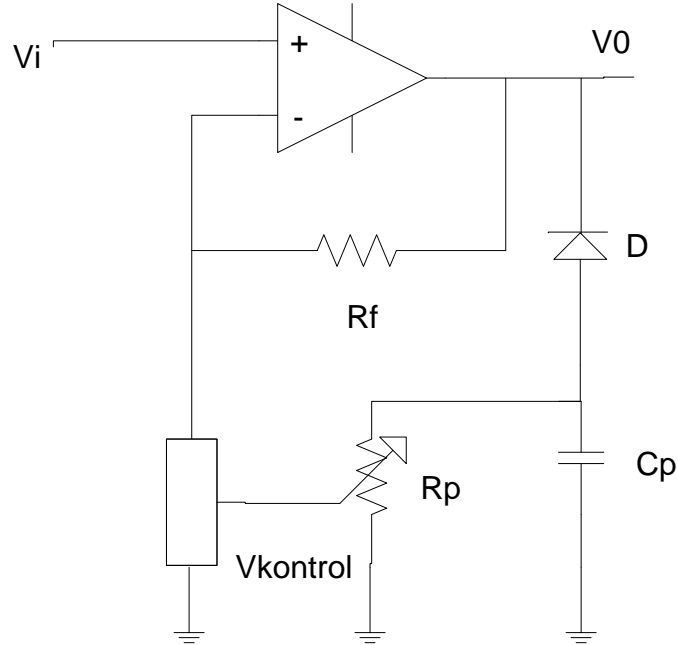
Şekil 4'teki direncin sabit bir direnç değil de gerilimle kontrol edilebilen bir direnç olduğunu ve şekil 5a'daki gibi gösterildiğini düşünelim. Bu eleman $V_{denetim(kontrol)}$ gerilimine bağlı olarak a-b uçları arasında belli bir direnç gösterdiğini farz edelim. Direnç- $V_{denetim}$ değişimi şekil 5b 'deki gibi olsun. Buna göre şekil 6a'daki gibi bir devre ile kazancı gerilimle kontrol edilebilen bir faz döndürmeyen gerilim kuvvetlendiricisi gerçekleştirilmiş olur. Şekil 6b 'deki devrede ise $V_{kontrol}$ gerilim kuvvetlendiricisinin çıkışından D , C_p , R_p elemanlarından oluşmuş doğrultucu devresi ile elde edilmiştir. Şekil 6b 'deki devrenin $v_0 - v_i$ değişiminin nasıl olacağını kabaca düşününüz.



Şekil 5(a). Gerilimle kontrol edilebilen direnç 5(b). Direnç- Gerilim değişimi



Şekil 6 (a). Kazancı gerilimle kontrol edilebilen gerilim kuvvetlendiricisi devre yapısı



Şekil 6 (b). Gerilim kuvvetlendiricisi

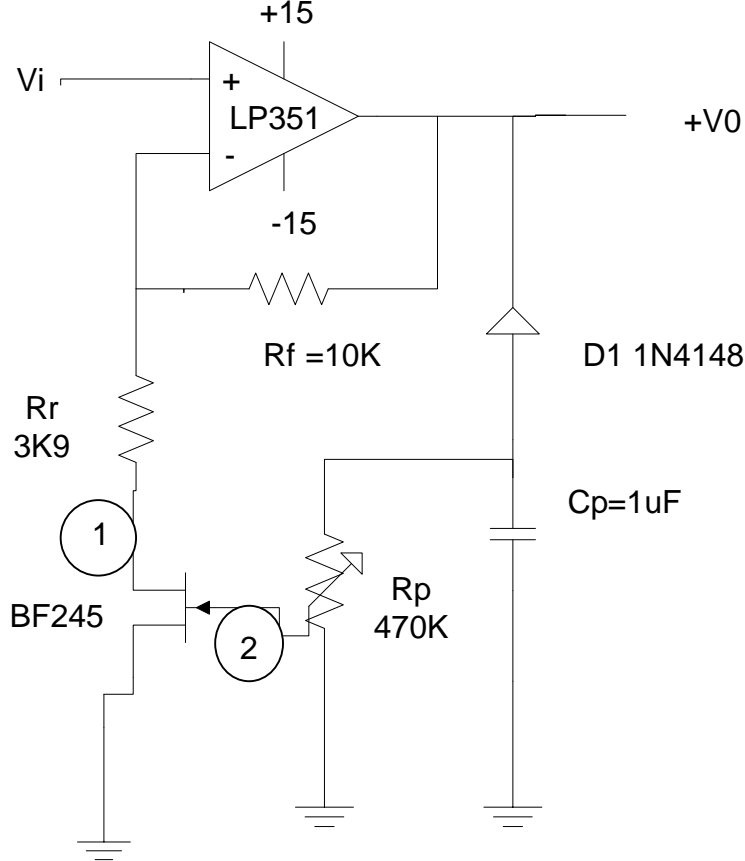
Gerilim kontrollü direnç elemanı olarak çoğunlukla JFET ve MOSFET kullanılır. $V_{ds} \leq V_{gs} - V_p$ için JFET direnç olarak davranmaktadır. Bu bölgedeki direnci r_D (on) ile gösterirsek:

$$r_D(\text{ON}) = \frac{r_{D0}(\text{ON})}{1 - \left(\frac{V_{gs}}{V_p}\right)^2} \quad (5)$$

şeklinde yazılır.

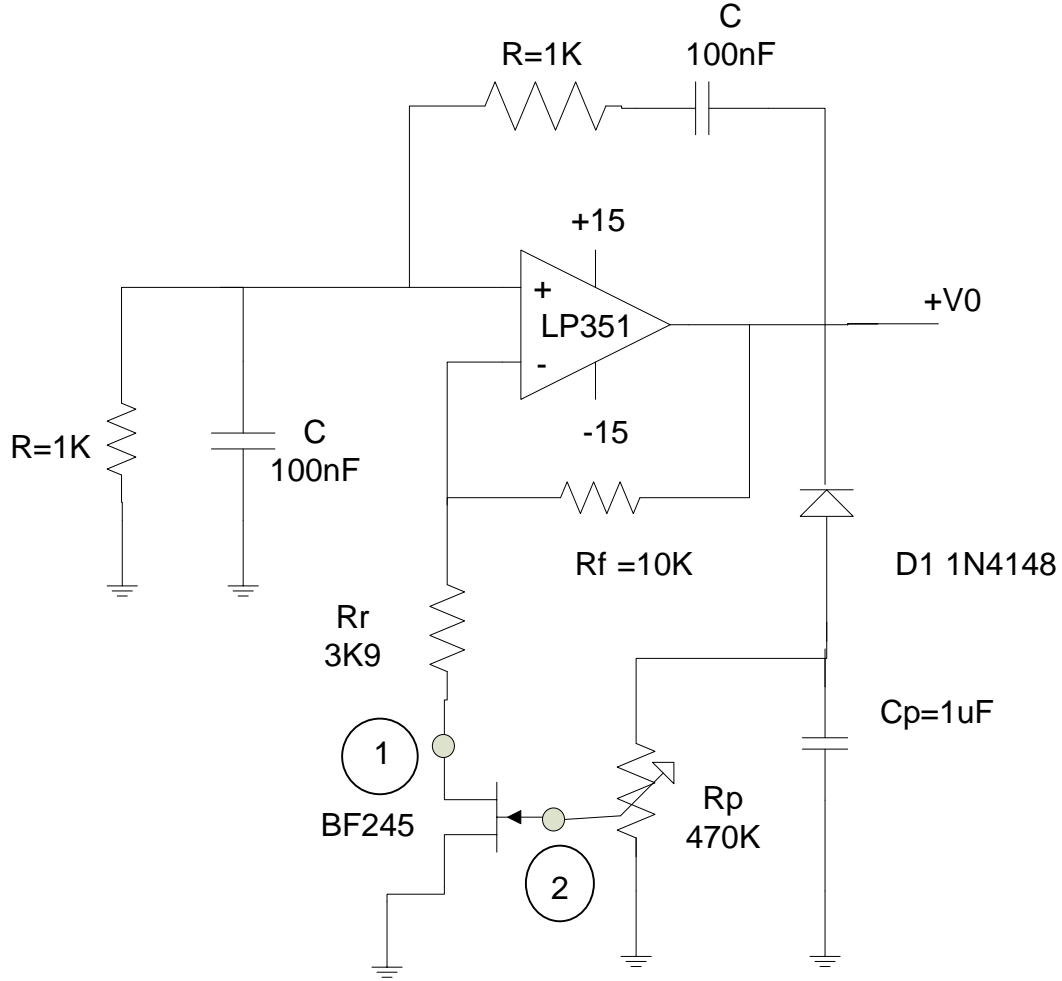
Bu bağıntıda görülen r_{D0} (on), $V_{GS}=0$ için doğrusal değişim bölgesi direnci, V_p ise kısılma gerilimidir.

Şekil 7 'deki gerilim kuvvetlendiricisi devresini kurunuz. Girişe değişken işaret kaynağı bağlayarak farklı R_p direnç değerleri için devrenin gerilim kazancının giriş gerilimi V_i ile değişimini çıkarınız. Bu işlemleri gerçekleştirirken 1 ve 2 numaralı düğümlerin gerilim değerlerini de kaydediniz. Sonuçları yorumlayınız.



Şekil 7. Gerilim kuvvetlendiricisi gerçekleştirilmesi

Şekil 8'deki devreyi kurunuz. Devrenin osilasyon frekansını belirleyiniz. R_p değişken direncinin değişimi ile çıkış sinüs dalgasının genliğinin nasıl değiştiğini gözleyiniz. Bu işlemi gerçekleştirirken 1 ve 2 no' lu düğümlerin gerilimlerinin de nasıl değiştiğini gözleyiniz. $C=47nF$ için aynı işlemleri gerçekleştiriniz ve sonuçları yorumlayınız.



Şekil 8. Wien Osilatörü

DOLUP BOŞALMALI OSİLATÖRLER

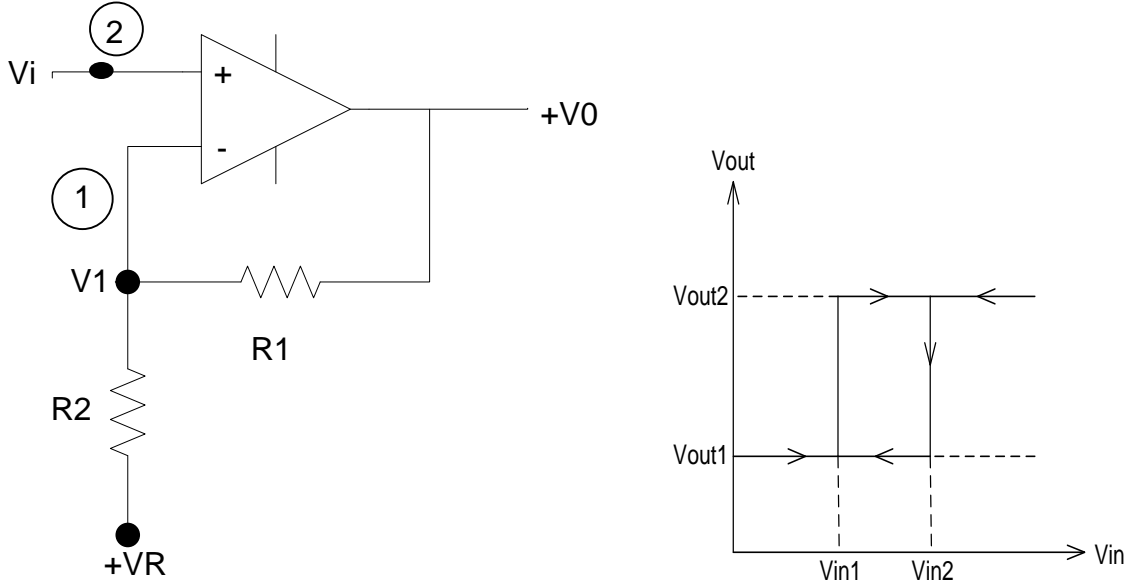
Dolup-Boşalmalı osilatörler genellikle kare, üçgen ve testere dişi dalga şekilleri üreten osilatörlerdir. Bu tür osilatörlerin çalışma mantığı bir önceki bölümde incelenmiş olan sinüs osilatörlerin çalışma mantığından farklıdır. Bu nedenle bu konu ile ilgili yapılan incelemeler de sinüs osilatörlerin incelenmesine göre farklı yapılıdır.

Çalışma ilkesi bir kondansatörün dolup boşalmasına dayanan osilatör devrelerine dolup boşalmalı osilatörler denir. Bu tür devrelerde kullanılan aktif eleman çoğunlukla Schmitt tetikleme devresidir.

İşlemsel kuvvetlendirici ile gerçekleştirilmiş bir Schmitt tetikleme devresi şekil 9'da gösterilmiştir. Şekil 9a'ya bakarak $v_i < v_1$ olduğunu farz edelim. Bu durumda $v_0 = +V_0$ (örneğin +5V) değerindedir. Devrenin bu koşul altında şekil 10'a'dan yapılan analizi sonucu:

$$v_1 = + \frac{V_{RR1}}{R_1 + R_2} + \frac{V_0 R_2}{R_1 + R_2} = V_1 \quad (6)$$

bulunur.



Şekil 9 (a). Schmitt tetikleme devresi **9 (b).** Schmitt tetikleme devresinin giriş-çıkış karakteristiği

v_i arttırılacak olursa, $v_i < v_1$ koşulu sağlandığı sürece $v_o, +V_0$ değerinde sabit kalır. Aynı zamanda $v_i = V_1$ değerinde sabit kalacaktır. Bu durum $v_i = V_1$ gerilimine ulaşınca kadar devam eder. Bu kritik eşik geriliminde, çıkış gerilimi v_o , ani bir şekilde $-V_0$ değerine sıçrar. Çıkış gerilimi bu değerini $v_i > V_1$ olduğu sürece koruyacaktır. $v_i > V_1$ iken v_1 gerilimi değişecek ve değeri:

$$v_1 = + \frac{R_1 V_R}{R_1 + R_2} - \frac{R_2 V_0}{R_1 + R_2} = V_2 \quad (7)$$

olacaktır.

$v_i > V_1$ iken V_i gerilimi azaltılmaya başlanırsa, çıkış gerilimi $-V_0$ gerilimine $v_i = V_2$ koşulu sağlanıncaya kadar sabit kalacaktır. $v_i = V_2$ koşulu sağlandığında ise çıkış gerilimi $+V_0$ gerilimine sıçrayacaktır. Böylece ilk duruma dönmüş olup, çevrim bu şekilde devam edecektir.

V_1 ve V_2 gerilim değerleri arasındaki farka histerisiz denir ve V_H ile gösterilir. Buna göre:

$$V_H = V_1 - V_2 = \frac{2R_2 V_0}{R_1 + R_2} \quad (8)$$

Schmitt tetikleme devresi ile ilgili şimdiye kadar yapılmış olan incelemelerin grafiksel gösterimi şekil 9b' de gösterilmiştir.

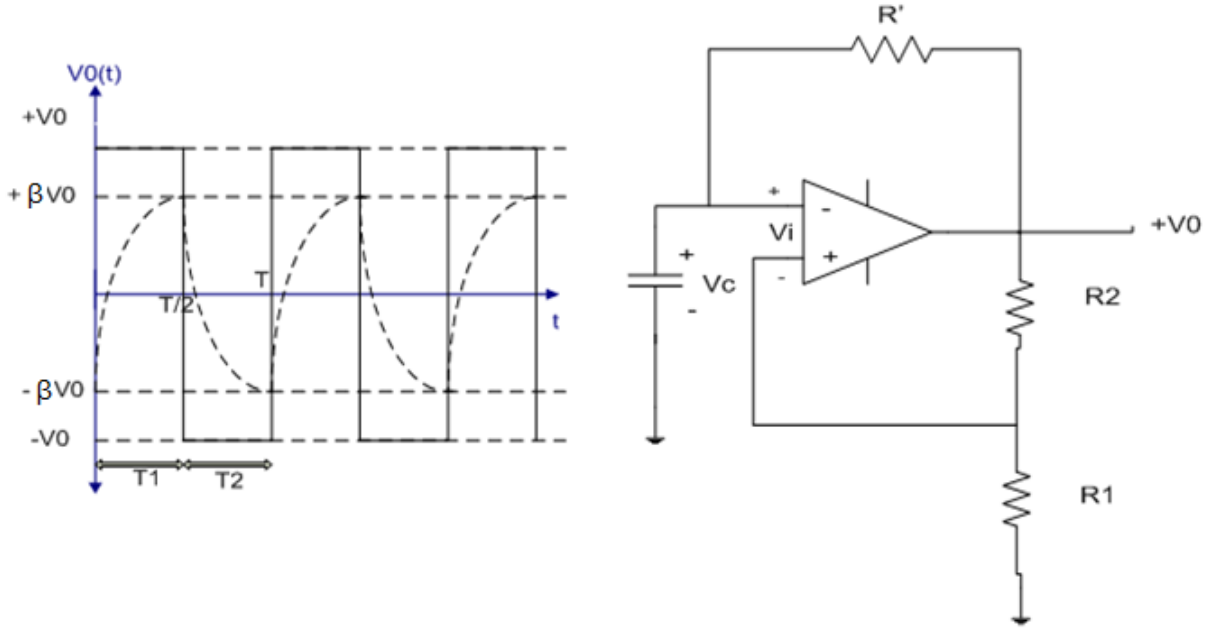
RC Dolup Boşalmalı Kare Dalga Osilatörü

Şekil 10.b'de bir kare dalga osilatörü devresi gösterilmiştir. Devrede işlemsel kuvvetlendirici ile gerçekleştirilmiş bir Schmitt tetikleme devresi bulunmaktadır.

İşlemsel kuvvetlendiricinin artı girişine çıkışından $\beta = R_1 / (R_1 + R_2)$ oranı ile belirli bir gerilim getirilmiştir. Giriş fark gerilimi v_i (şekil 10.b) şöyle yazılabilir:

$$v_i = v_c - \beta v_o \quad (9)$$

İşlemsel kuvvetlendiricinin tanım bağıntılarından da bilindiği üzere, giriş fark gerilimi v_i pozitif ise çıkış gerilimi $v_o = -V_0$ geriliminde olacaktır. Şimdi $v_i < 0$ veya $v_c < \beta v_o = \beta V_0$ koşulunun sağlandığı bir t anını düşünelim. C kapasitesinin gerilimi R' direnci üzerinden $+V_0$ gerilimine doğru üstel olarak yükselecektir. Bu süre içerisinde çıkış gerilimi v_o , $v_c = \beta V_0$ koşulu sağlanıncaya dek $+V_0$ değerinde sabit kalacaktır. $v_c = +\beta V_0$ koşulu sağlandığında ise bu sabitlik bozulacak ve çıkış $v_o = -V_0$ gerilimine sıçrayacaktır. Çıkış $-V_0$ geriliminde iken işlemsel kuvvetlendiricinin artı girişinin gerilimi $-\beta V_0$ değerinde olacaktır. Artık C kapasitesi R' direnci üzerinden boşalacaktır. Çıkış geriliminin $-V_0$ değerinde ve işlemsel kuvvetlendiricinin artı girişindeki $-\beta V_0$ değerinde sabit kalmaları $v_c = -\beta V_0$ oluncaya kadar devam edecektir. Bu kritik v_c değerinde çıkış gerilimi $v_o = +V_0$, işlemsel kuvvetlendiricinin artı girişindeki gerilim $+\beta V_0$ gerilimine sıçrayacak ve en baştaki koşullara dönmüş olacaktır. Anlatılanlar şekil 10.a' da gösterilmiştir.



Şekil 10 (a). kare dalga osilatörü devresinin çıkış karakteristiği Şekil 10 (b). Kare dalga osilatörü devresi

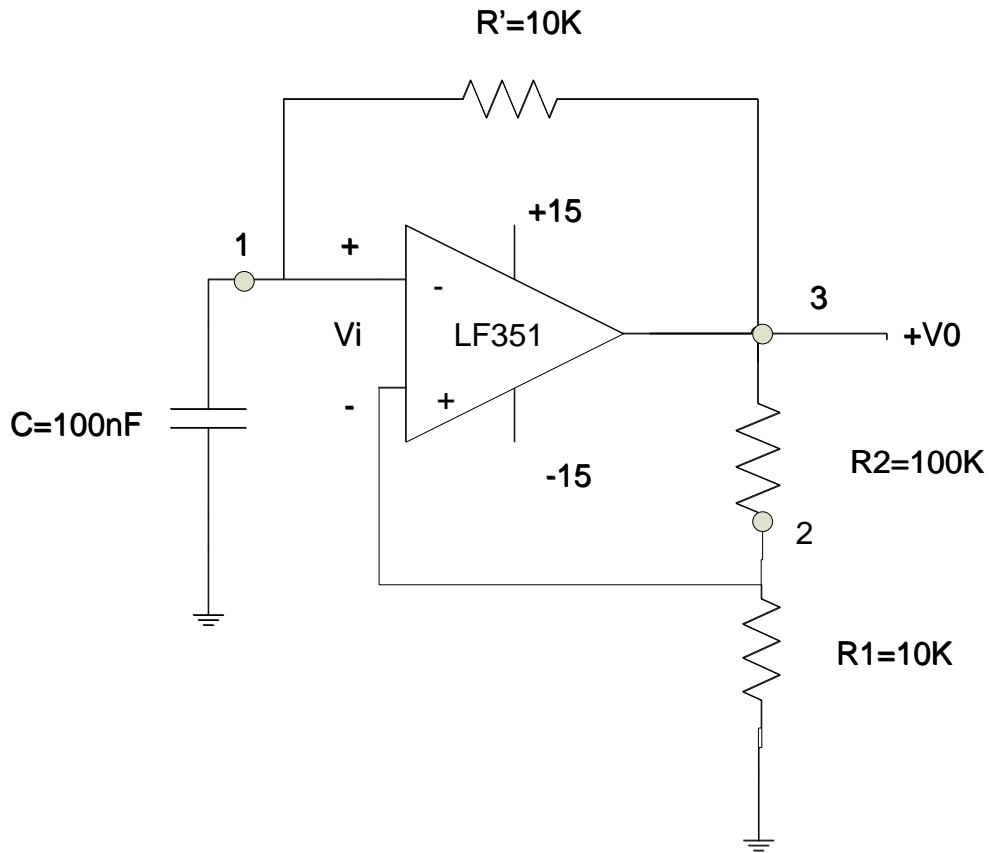
Devrenin salınım frekansı yapılan analiz sonucu:

$$f = \frac{1}{2R'C \ln\left\{\frac{2R1 + R2}{R2}\right\}} \quad (10)$$

Bu denklemin çıkarılışı için yapılan daha ayrıntılı analizleri analog elektronik ders notlarımızda ve çeşitli kaynak kitaplarda bulabilirsiniz.

Şekil 11'deki devreyi kurunuz. Devrenin salınım frekansını ölçünüz. Teorik olarak hesapladığınız sonuç ile karşılaştırınız. Arada fark varsa nedenini araştırınız. 1,2 ve 3 no 'lu düğümlerin gerilimlerinin dalga şekillerini ölçekli olarak mm kağıda çiziniz.

C kapasitesinin değerini 47nF yapınız. Bu değer için yukarıda yapılanları tekrar ediniz. C kapasitesinin değerini daha da küçük seçerek çıkış dalga şeklindeki bozulmayı gözleyiniz.



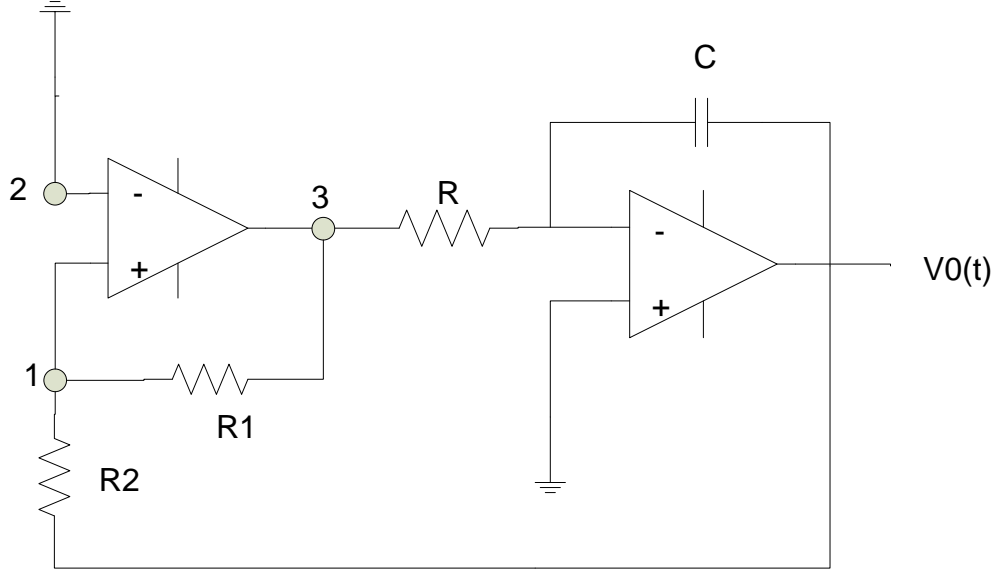
Şekil 11. Kare Dalga Osilatörü Devresi

Üçgen Dalga Osilatörü

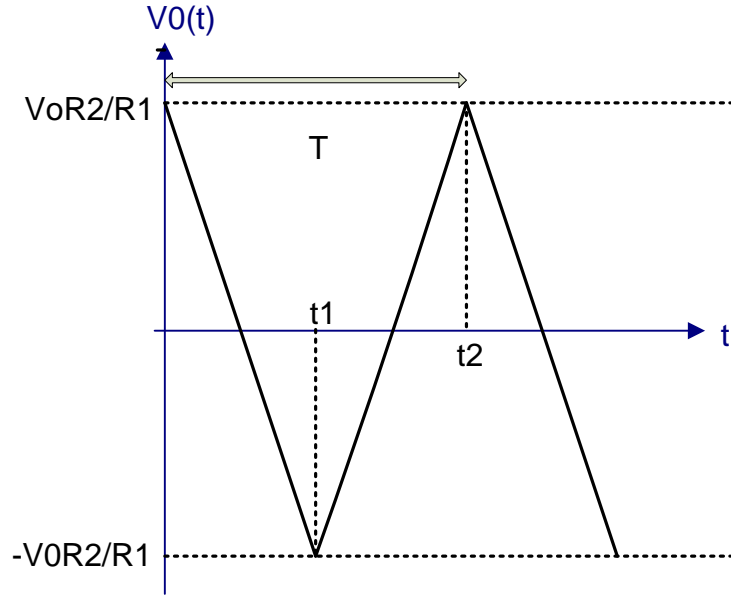
Şekil 10.b'den görüldüğü üzere kare dalga osilatöründe bulunan karşılaştırıcının eksi girişinin geriliminin dalga şekli βV_0 değerinin V_0 gerilimine göre çok küçük olması durumunda yaklaşık üçgen dalga kabul edilebilir. Ancak kondansatörün bir direnç üzerinden dolup boşalması üstel olduğundan, bu devreyi pratik olarak üçgen dalga osilatörü olarak kullanmak uygun olmaz. Bunun yerine kondansatörün sabit akımla doldurulması ilkesine dayanan osilatörler oluşturulmuştur. Bilindiği üzere kondansatör sabit bir akımla doldurulacak olursa

gerilimi doğrusal olarak artır. Benzer şekilde kondansatör sabit bir akımla boşaltılırsa gerilimi doğrusal olarak azalır.

Şekil 12.a'daki devrede C kapasitesini sabit akımla sürmek için integral alıcı devre kullanılmıştır. Dolayısıyla çıkış doğrusal olarak değişen bir gerilimdir. İntegral alıcı devrenin faz çevirmesi nedeniyle çıkış düğümü karşılaştırıcının artı girişine bağlanmıştır.



Şekil 12 (a). Üçgen Dalga Osilatörü



Şekil 12 (b). Üçgen Dalga Osilatörünün çıkış karakteristiği

Şimdi $t=0$ anında Schmitt tetikleme devresinin çıkışının $+V_0$ değerinde pozitif doyma sınırında olduğunu farz edelim. Bu durumda integral alıcı devrenin çıkışı:

$$V_0(t) = -\frac{1}{RC} \int_{t_0=0}^t +V_0(t) dt \quad (11)$$

şeklinde doğrusal olarak değişen bir gerilim olacaktır. Bu durumda şekil 12'deki 1 nolu düğümün gerilimine $V_1(t)$ dersek:

$$V_1(t) = \frac{R_1 v_0(t)}{R_1 + R_2} + \frac{R_2 V_0}{R_1 + R_2} \quad (12)$$

olacaktır. İşlemsel kuvvetlendiricinin eksi girişi topraklanmış olduğundan, 1 no'lu düğümün gerilimi sıfır olduğunda, 3 no'lu düğümün gerilimi $-V_0$ gerilimine sıçrayacaktır. Bu olayın gerçekleştiği ana t_1 dersek, $t = t_1$ için $V_1(t)=0$ koşulundan:

$$v_0(t) = -\frac{R_2}{R_1} V_0 \quad (13)$$

olur.

$t=t_1$ anında 3 nolu düğümün gerilimi $-V_0$ olduğundan; bu durumda 1 nolu düğümün gerilimi:

$$V_1(t) = -\frac{R_2 V_0}{R_1 + R_2} + \frac{R_1 v_0(t)}{R_1 + R_2} \quad (14)$$

olur.

3 no'lu düğümün geriliminin tekrar $+V_0$ gerilimine sıçradığı an t_2 anı olarak belirlenirse $V_1(t)=0$ koşulundan:

$$v_0(t) = +\frac{R_2}{R_1} V_0 \quad (15)$$

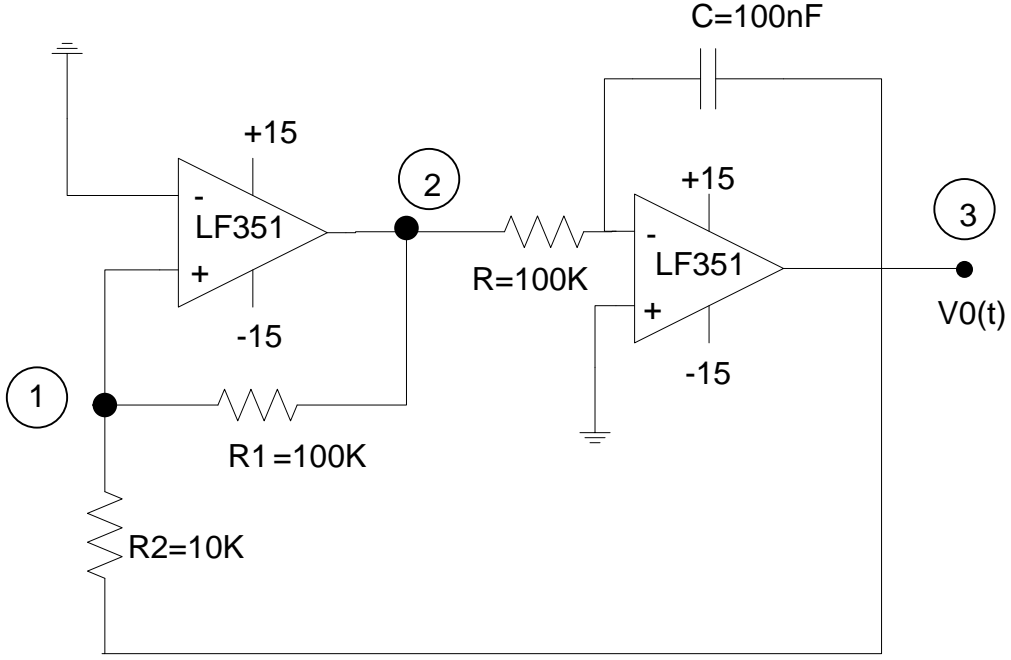
olur.

Devrenin salınım frekansı ise:

$$f = \frac{R_1}{4R_2 C} \quad (16)$$

olur.

Şekil 13'deki devreyi kurunuz. Devrenin salınım frekansını ölçünüz. Teorik sonuç ile arada fark olup olmadığını kontrol ediniz. Fark varsa nedenlerini araştırınız. 1,2 ve 3 no 'lu düğümlerin gerilimlerinin dalga şekillerini ölçekli olarak mm kağıda çiziniz. $C=10nF$ için yapılanları tekrarlayınız.



Şekil 13. Üçgen Dalga Osilatörü

Deneyde Yapılacaklar

Deney I

Şekil-3'teki faz ötelemeli osilatör devresinde: devrenin osilasyon yapması için potansiyometre ile çıkışta minimum kırılma olacak şekilde ayarlama yapınız. Bu durumda 1, 2, 3 numaralı düğümlerdeki dalga şekillerini kaydediniz. Gözlemlenen dalga şekilleri milimetrik kağıda çiziniz ve raporunuzun sonuna ekleyiniz. Sonuçlarınızı teorik bulgularla kıyaslayınız.

Deney II

Şekil-11'deki RC dolup boşalmalı kare dalga osilatörü için deney I'de yapılanları tekrarlayınız.

Deney III

Şekil-13'teki üçgen dalga osilatörü için deney I'de yaptıklarınızı tekrarlayınız.

DENEY – 8

Aktif Süzgeçler

Ön Hazırlık

- **Deneyden Önce Araştırılması Gereken Konular**
 - Aktif süzgeç ile pasif süzgecin farklarını araştırınız.
 - Aktif süzgecin avantajlarını belirtiniz.
 - Alçak geçiren, yüksek geçiren ve band geçiren süzgeçlerin uygulama alanlarını araştırınız.
- **Teorik Hesaplamalar**
 - Şekil 2b ile verilen band geçiren süzgeç (BGS) yapısında kullanılmak üzere R_1 , R_2 ve R_5 dirençlerinin H_0 , f_0 ve Q cinsinden ifadelerini bulunuz.
 - Şekil 3b ile verilen yüksek geçiren süzgeç (YGS) yapısında kullanılmak üzere R_3 ve R_4 dirençlerinin H_0 , f_0 ve Q cinsinden ifadelerini bulunuz.
 - BGS yapısı için $H_0=10$, $f_0=20\text{kHz}$ ve $Q=5$ elde etmek için R_1 , R_2 ve R_5 dirençlerinin değerlerini, $C_3=C_4$ kapasite değerleri 100pF, 200pF ya da 270pF olacak şekilde hesaplayın.
 - YGS yapısı için $H_0=1$, $f_0=20\text{kHz}$ ve $Q=1/\sqrt{2}$ elde etmek için R_3 ve R_4 dirençlerinin değerlerini, $C_1=C_2$ kapasite değerleri 100pF, 200pF ya da 270pF olacak şekilde hesaplayın.
- **PSpice ile Devre Analizi**
 - Şekil 2b'deki BGS yapısı için teorik hesap ile bulduğunuz direnç değerlerini kullanarak devrenin frekansa bağlı olarak kazanç [dB] (V_o/V_i) eğrisinin çıkartıp, alt/üst kesim ve merkez frekanslarını belirleyiniz.
 - Şekil 3b'deki YGS yapısı için teorik hesap ile bulduğunuz direnç değerlerini kullanarak devrenin frekansa bağlı olarak kazanç [dB] (V_o/V_i) eğrisinin çıkartıp, alt kesim frekansını belirleyiniz.

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir.

Amaç

Aktif elemanlar kullanılarak tasarlanan süzgeçlerin çalışma prensiplerinin incelenmesi ve farklı giriş işaretleri için süzgeçlerin çıkış gerilimlerinin incelenmesi.

Ön Bilgi

Giriş işaretlerinin istenilen frekanslardaki bileşenlerini çıkışa veren, diğer frekans bileşenlerini söndüren devrelere süzgeç denir. Süzgeçler, belirli transfer fonksiyonlarını sağlamak için bir araya gelmiş devre fonksiyonlarıdır. Bu fonksiyondaki her bir katsayı bir devre elemanının büyüklüğüne karşı düşmektedir ve istenilen çalışma frekansına göre alçak frekansları, yüksek frekansları ya da belirli bir çalışma bandını geçirmek üzere tasarlanır.

Süzgeçler aktif elemanlarla veya pasif elemanlarla gerçekleştirilebilir. Pasif süzgeçlerde direnç, kondansatör ve bobin kullanılır. Genellikle RC ve LC kombinasyonları ile tasarımlar yapılır. RC süzgeçlerinde transfer fonksiyonunun kökleri reel olur. Bu tip süzgeçlerde değer katsayısının küçük olduğu görülür. Büyük değer katsayılarının elde edilmesi için LC süzgeçler kullanmak daha uygun olur. Bu durumda elde edilen süzgeç karakteristikleri daha keskin olacaktır. Ancak düşük frekanslarda, gerekli bobin indüktanslarının büyük olması gerektiğinden hem devrenin kapladığı alan hem de maliyet artar.

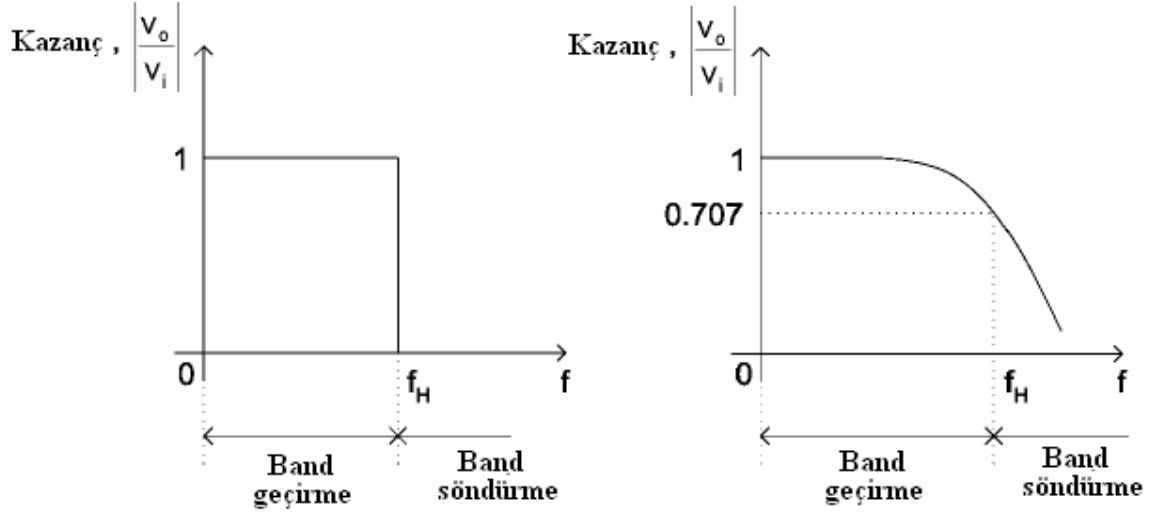
Kompleks eşlenik 2 kutba sahip, ikinci dereceden alçak geçiren, yüksek geçiren ve band geçiren süzgeçlerin transfer fonksiyonları en genel halde aşağıda verildiği gibidir:

- 1) Alçak geçiren süzgeç için transfer fonksiyonu:
$$H(s) = \frac{H_0 \cdot \omega_0^2}{s^2 + \frac{\omega_0 s}{Q} + \omega_0^2}$$
- 2) Yüksek geçiren süzgeç için transfer fonksiyonu:
$$H(s) = \frac{H_0 \cdot s^2}{s^2 + \frac{\omega_0 s}{Q} + \omega_0^2}$$
- 3) Bant geçiren süzgeç için transfer fonksiyonu:
$$H(s) = \frac{H_0 \cdot \omega_0 \cdot s / Q}{s^2 + \frac{\omega_0 s}{Q} + \omega_0^2}$$

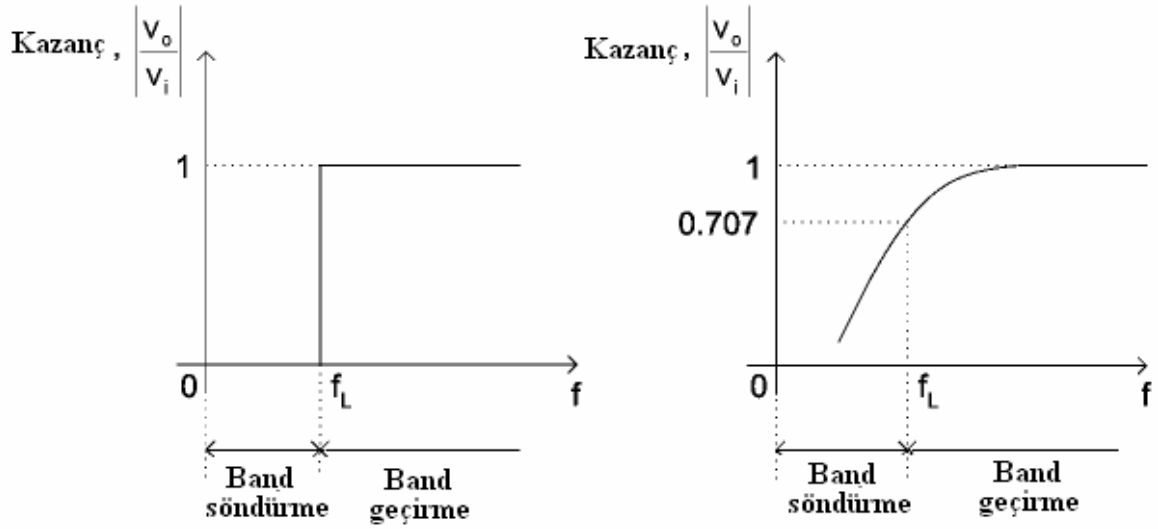
NOT 1: Alçak geçiren ve yüksek geçiren süzgeç için verilen ifadelerde H_0 geçirme bandı kazancı, ω_0 geçirme bandı kazancının 3dB düştüğü açısal frekans, Q ise değer katsayısıdır.

NOT 2: Band geçiren süzgeç için değer katsayısı $Q = \frac{\omega_0}{\omega_2 - \omega_1}$ ve burada ω_0 geçirme bandı merkez açısal frekansı, ω_2 ile ω_1 ise geçirme bandı kazancının 3dB düştüğü açısal frekanslardır.

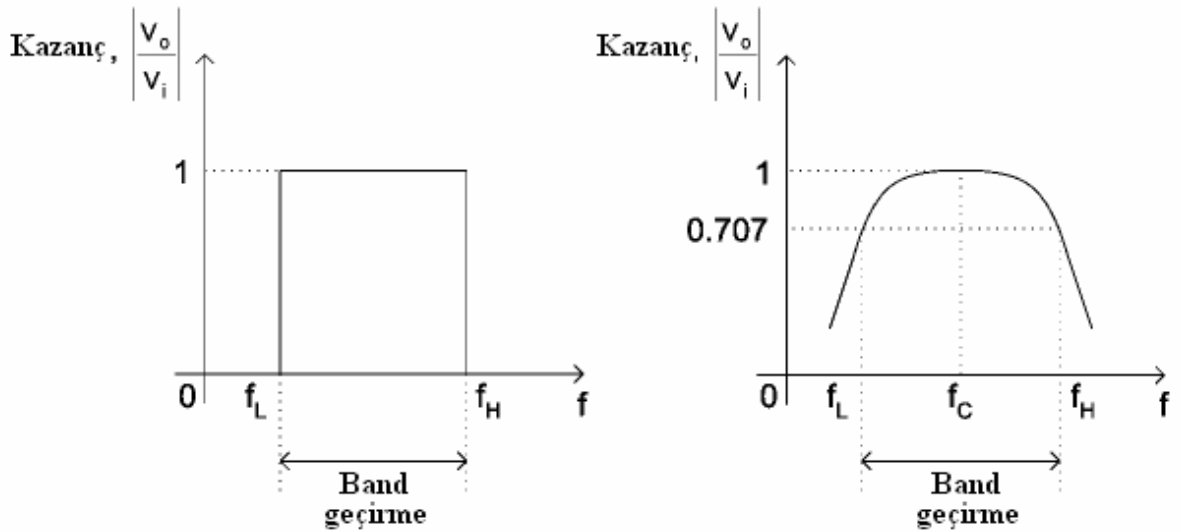
Süzgeçlere ilişkin transfer karakteristikleri Şekil – 1a, b, c de verilmiştir.



Şekil 1 (a). Alçak geçiren süzgeç



Şekil 1 (b). Yüksek geçiren süzgeç



Şekil 1 (c). Band geçiren süzgeç

Yüksek duyarlıklı süzgeç elde edilmek istenildiğinde birden fazla kuvvetlendirici kullanılması gerekir. Ancak çoğu zaman, tek işlemsel kuvvetlendiricili ve ikinci dereceden bir süzgeç, istenilen frekans karakteristiğini sağlamak için yeterli olur. Bu tip süzgeçler için kullanılan modeller, kuvvetlendiricinin kazancının aldığı değere göre başlıca iki gruba ayrılır. Deneyde bu devrelerden çok geri beslemeli süzgeç modeli kazancın büyük olduğu; Sallen-Key süzgeci ise kazancın sınırlı olduğu modellere örnek olarak incelenecektir.

Deney 1:

Çok Geribeslemeli Süzgeçler

Şekil 2a'da sonsuz kazançlı, ikinci dereceden çok geribeslemeli bir süzgecin genel biçimi verilmiştir. İşlemsel kuvvetlendirici, eviren moda kullanılmıştır. Devredeki her Y_i elemanı bir kondansatör ya da direnci temsil etmektedir. Admitanslar uygun seçilerek devrenin alçak, yüksek veya band geçiren süzgeç haline getirilmesi sağlanabilir. İşlemsel kuvvetlendiriciye ilişkin açık çevrim kazancının çok büyük olduğu varsayılırsa, devrenin gerilim transfer fonksiyonu

$$\frac{V_o}{V_i} = \frac{-Y_1 Y_3}{Y_5(Y_1+Y_2+Y_3+Y_4)+Y_3 Y_4} \quad (1)$$

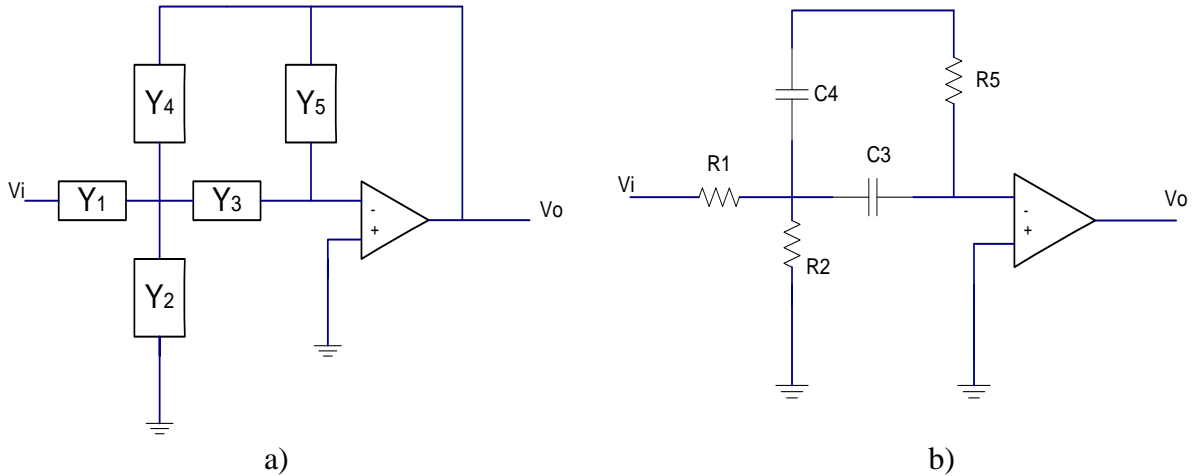
şeklinde elde edilir. Deneyde bu modelde bir yapı kullanılarak band geçiren türden bir süzgeç incelenecektir. Bunun için Y_1 , Y_2 ve Y_5 elemanları direnç, Y_3 ve Y_4 elemanları ise kondansatör olarak seçilmelidir. Bu durumda süzgeç parametreleri, eleman değerine bağlı olarak

$$H_0 = \frac{1}{\frac{R_1}{R_5} \left[1 + \frac{C_4}{C_3} \right]} \quad (2)$$

$$\omega_0 = \left[\frac{1}{R_5 C_3 C_4} \left[\frac{1}{R_1} + \frac{1}{R_2} \right] \right]^{1/2} \quad (3)$$

$$Q = \frac{[R_5 \left(\frac{1}{R_1} + \frac{1}{R_2} \right)]^{1/2}}{\left[\frac{C_3}{C_4} \right]^{1/2} + \left[\frac{C_4}{C_3} \right]^{1/2}} \quad (4)$$

şeklinde elde edilir.



Şekil 2 (a). İkinci dereceden çok geribeslemeli süzgeç yapısı (b) Deneyde kurulacak yapı

Deneyde yapılacaklar:

1. Size verilen eleman değerleri ile Şekil 2b'deki BGS yapısını oluşturun.
2. İşaret kaynağı kullanarak girişe sinüzoidal işaret uygulayın. Giriş işaret genliğini tepeden tepeye 1V ya da daha küçük bir değere ayarlayın (NEDEN?) Giriş işaretini osiloskop ile gözleyin ve değerini kaydedin.
3. Daha sonra giriş işaretinin frekansını 10Hz'den 1MHz'e kadar logaritmik olarak değiştirin. Tüm girişler için osiloskoptan çıkış işaretini gözlemleyip değerini kaydedin.
4. Alt/üst kesim ve merkez frekanslarını bulun (NASIL?).
5. Bulduğunuz alt/üst ve merkez frekansı değerleri ile değer katsayısını hesaplayın.
6. Girişe kare ve üçgen dalga uygulayıp osiloskopta devrenin cevabını inceleyin, sinüzoidal işaret ile farklarını açıklayın.

NOT: Kare ve üçgen dalgalar için tüm ölçümler tekrarlanmayacaktır, sadece osiloskopta çıkış işareti gözlemlenecektir.

Deney 2:**Sallen-Key Süzgeçleri**

Bu tip süzgeçler, kazancı sonlu işlemsel kuvvetlendiriciler kullanılarak gerçekleştirilebilirler. Kuvvetlendirici kazancı pozitif ya da negatif olabilir. Devrenin basit olması ve kazancı pozitif birim değerde bir kuvvetlendirici gerektirmesi nedeniyle birim kazançlı Sallen-Key süzgeçleri özellikle alçak ve yüksek geçiren süzgeç uygulamalarında oldukça geniş kullanım alanları bulur. Şekil 3a'da ikinci dereceden, pozitif birim kazançlı Sallen-Key süzgecinin genel biçimi verilmiştir. Devredeki her Y_i elemanı bir kondansatör veya direnç temsil etmektedir. Admitanslar uygun seçilerek devrenin alçak geçiren ya da yüksek geçiren süzgeç haline getirilmesi sağlanabilir. Kuvvetlendiriciye ilişkin gerilim kazancının +1 olduğu göz önüne alınırsa, devrenin gerilim transfer fonksiyonu

$$\frac{V_o}{V_i} = \frac{Y_1 Y_2}{Y_4(Y_1 + Y_2 + Y_3) + Y_1 Y_2} \quad (5)$$

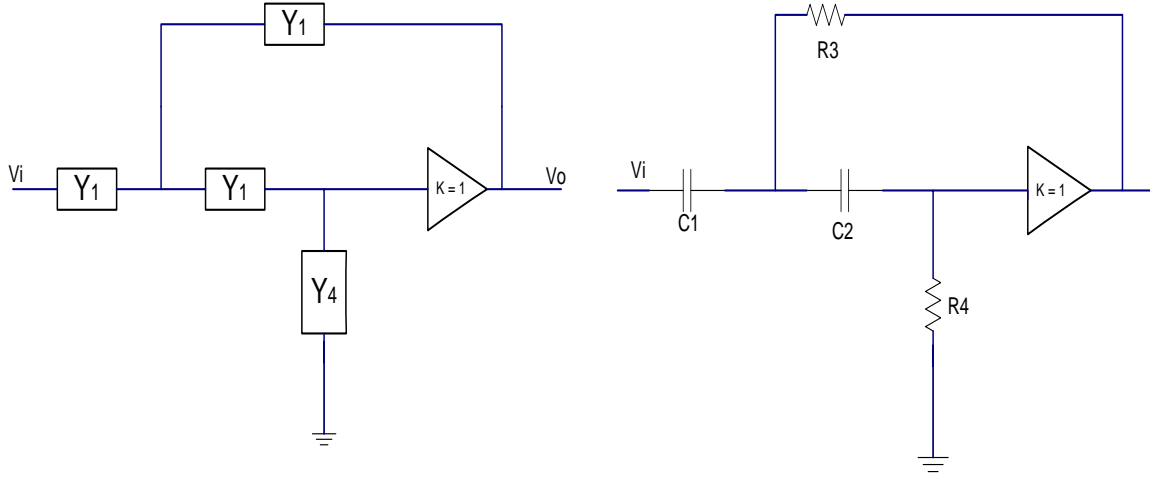
şeklinde elde edilir. Deneyde bu modelde bir yapı kullanılarak yüksek geçiren türden bir süzgeç incelenecektir. Bunun için Y_1 ve Y_2 elemanları kondansatör, Y_3 ve Y_4 elemanları ise direnç olarak seçilmelidir. Bu durumda süzgeç parametreleri eleman değerlerine bağlı olarak

$$\mathbf{H}_0 = 1$$

$$\mathbf{w}_0 = \left[\frac{1}{C_1 C_2 R_3 R_4} \right]^{1/2} \quad (6)$$

$$\mathbf{Q} = \frac{1}{\left[\frac{R_3 C_1}{R_4 C_2} \right]^{1/2} + \left[\frac{R_3 C_2}{R_4 C_1} \right]^{1/2}} \quad (7)$$

şeklinde elde edilir. Genel olarak süzgecin tasarım yöntemi, verilen H_0 , f_0 ve Q değerleri için uygun bir $C = C_1 = C_2$ değerinin seçilip R_3 ve R_4 değerlerinin hesaplanmasıdır.



Şekil 3 (a). İkinci dereceden birim kazançlı Sallen-Key süzgeç yapısı **(b).** Denede kurulacak yapı

Denede yapılacaklar:

1. Size verilen eleman değerleri ile Şekil 3b'deki YGS yapısını oluşturun.
 2. İşaret kaynağı kullanarak girişe sinüzoidal işaret uygulayın. Giriş işaret genliğini tepeden tepeye 1V ya da daha küçük bir değere ayarlayın. Giriş işaretini osiloskop ile gözleyin ve değerini kaydedin.
 3. Daha sonra giriş işaretinin frekansını 10Hz'den 10MHz'e kadar logaritmik olarak değiştirin. Tüm girişler için osiloskoptan çıkış işaretini gözlemleyip değerini kaydedin.
 4. Alt kesim frekansını bulun.
 5. Bulduğunuz alt/üst ve merkez frekansları değerleri ile değer katsayısını hesaplayın.
 6. Girişe kare ve üçgen dalga uygulayıp osiloskopta devrenin cevabını inceleyin, sinüzoidal işaret ile farklarını açıklayın.
 7. BGS yapısı ile sonuçları karşılaştırın.
- NOT: Kare ve üçgen dalgalar için tüm ölçümler tekrarlanmayacaktır, sadece osiloskopta çıkış işareti gözlemlenecektir.

Kaynaklar

- Türköz, M. Sait, Elektronik Devreleri
- Smith Sedra, Microelectronic Circuits

DENEY – 9

Faz Kilitlemeli Çevrim (PLL) Uygulamaları

Ön Hazırlık

Deneyden Önce Araştırılması Gereken Konular

- Deney 9 dökümanlarını okuyup, ayrıntılar için referans kaynaklara bakınız.
- Deney 5 notlarınızı (Rapor, ön çalışma,...) gözden geçiriniz.
- CD 4046 tümdevresinin katalog sayfalarından uygulamaları inceleyiniz.
- Metinde geçen soruları araştırınız.
- Referans kaynaklardan PLL uygulamalarına bakınız.

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir.

Giriş

Faz kilitlemeli çevrim (PLL : Phase-locked loop) devresi çıkış frekansının girişten kontrol edildiği bir devre olması bakımından gerilim kontrollü osilatöre (GKO) benzer. Ancak GKO'dan farklı olarak PLL'in salınım frekansı bir giriş gerilimiyle değil de bir giriş frekansıyla denetlenir. En basit çalışma durumunda, PLL çalışma frekansı f_o , giriş frekansı f_i 'ye kilitlenir yani $f_o = f_i$ olur. Kilitlenme sağlandıktan sonra f_o f_i 'deki değişimleri belirli bir frekans aralığında izler.

En temel bir PLL sistemi 3 bloktan oluşur. Bloklardan biri V_{VCO} gerilimine bağlı olarak f_{VCO} frekansında işaret üreten gerilim kontrollü osilatör (GKO) bloğudur. Diğer bir blok belirlenen bir f_i frekanslı işaret ile GKO tarafından üretilen işaretin fazlarının (dolayısı ile frekanslarının) karşılaştırıldığı ve karşılaştırma sonucuna göre bir hata işaretinin üretildiği faz karşılaştırma devresidir (faz dedektörü). Üçüncü bir blokta bir alçak geçiren süzgeç devresidir. Aşağıda Şekil-1'de temel PLL yapısı verilmiştir.

Faz dedektörü(PD), $V_i(t)$ periyodik işaretinin frekansı ile GKO'nun çıkışındaki $V_o(t)$ işaretinin frekansını karşılaştırır ve bir $V_d(t)$ hata gerilimi üretir. PLL'lerde kullanılan değişik çalışma ilkelerine sahip çeşitli faz dedektörleri vardır. Ancak, Şekil-1'deki gibi bir PLL'de kullanılan bir faz dedektörünün çıkış işareti genellikle giriş işaretinin frekansı ile GKO frekansının hem farkını ($f_o - f_i$) hem de toplamını ($f_o + f_i$) frekans bileşeni olarak taşır. Bunun yanında iki giriş arasındaki faz farkı $\Delta\theta = \theta_o - \theta_i$ ile orantılı bir DC gerilim de PD'nin çıkışında görülür. PLL'in çalışması özetle f_o ve f_i frekansları arasındaki farkla orantılı bir hata gerilimi elde edip bu gerilimi GKO girişine vermek ve yeni bir f_o yaratarak (negatif frekans geribeslemesi yardımıyla) hata gerilimini minimize etmek üzere $f_o = f_i$ kılmaktır. Buna göre $V_c(t)$ geriliminde yalnızca ($f_o - f_i$) bileşeninin görülmesi gerekir. Bu nedenle $V_d(t)$ 'deki ($f_o + f_i$) bileşeni bir alçak geçiren süzgeç (AGS) yardımıyla süzölmeli $V_c(t)$ elde edilmelidir. İşte çevrim süzgeci bu işlevi görmektedir. $V_d(t)$ içinde $\Delta\theta$ ile orantılı DC bileşen de AGS'den geçmekte ve GKO girişine ulaşmaktadır. DC gerilim kilitlenme durumunda GKO'nun çıkış frekansı f_o 'nun PLL giriş frekansı f_i 'ye eşit olmasını sağlayacak GKO kontrol gerilimi olacağından $V_i(t)$ ve $V_o(t)$ işaretleri arasında bir faz farkı $\Delta\theta$ olacaktır. Bazı PD'lerde bu DC bileşen $\Delta\theta = 0^\circ$ 'de bazılarında ise $\Delta\theta = 90^\circ$ 'de sıfır olmaktadır. Burada bu değer 90° olarak kabul edilerek PLL incelemesi yapılacaktır.

PLL'nin Çalışması

GKO'nun girişindeki işaret sıfırken çıkışındaki işaretin frekansı serbest salınım frekansı f_o 'a eşit olur, yani $V_c = 0V$ için $f_o = f_o$ olur. Kilitlenme olmadığında da $f_o = f_o$ 'da sabit kalır. Kilitlenmemenin nedeni ($f_o - f_i$)'nin AGS'den geçemeyecek kadar büyük olmasıdır, yani giriş frekansı çıkış frekansının -kilitlenmeyi sağlayacak kadar- yakın civarında değildir.

Giriş frekansı tam olarak GKO serbest salınım frekansına eşit olduğunda kilitlenme hemen sağlanır, çünkü f_i f_o 'ya yeterince yakındır. $f_o = f_o$ olduğuna göre de $V_c = 0V$, yani $\Delta\theta = 90^\circ$ 'dir. Buna göre $V_i(t)$ ve $V_o(t)$ periyodik işaretleri aynı frekansa sahiptirler ve aralarında 90° faz farkı vardır. Giriş frekansı serbest salınım frekansından daha düşük değerlere kaydırıldıkça faz farkı 90° 'den başlayarak artacak ve $V_c(t)$ de pozitif yönde artacaktır. Kullanılan GKO negatif kazançlı olduğundan sıfırdan daha büyük bir değere yükselen V_c gerilimi f_o 'yu serbest salınım frekansı f_o 'dan daha düşük bir değere çekecektir.

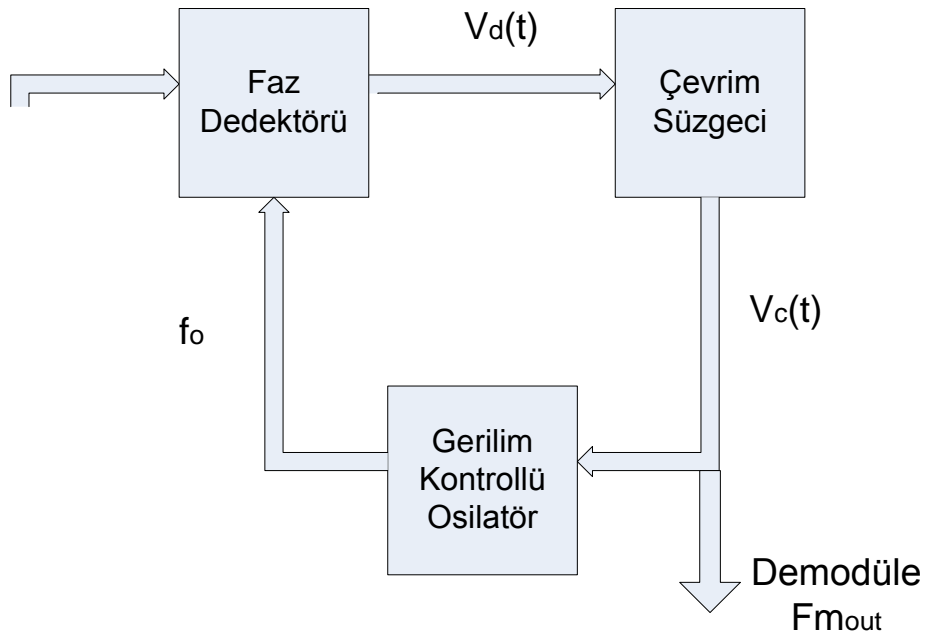
Bu negatif frekans geribeslemesi yardımıyla sonuçta $f_o=f_i$ olur. Bu durumda V_c $f_o=f_i$ kılacak pozitif doğru bir gerilimdir. $\Delta\theta$ ise 90° 'den büyük bir sabit değer alır. f_i 'nin kilitlenme durumunda serbest salınım frekansından biraz daha yüksek bir değer alması durumu bütünüyle benzer bir yaklaşımla incelenebilir. Bu durum için $V_c < 0V$ ve $\Delta\theta < 90^\circ$ olur.

Kilitlenmenin sağlanabilmesi için girişteki serbest salınım frekansı f_o 'a yeterince yakın olmalıdır. Bu yakınlık PLL'lerde yaygın olarak $f_o - f_c < f_i < f_o + f_c$ biçiminde verilir. Buradaki $2f_c$ 'lik aralığa yakalama bölgesi (capture range) denir. Kilitlenme sağlandıktan sonra negatif geribesleme yardımıyla f_i 'deki değişimler f_o 'ya küçük gecikmelerle olsa da yansıtacağından f_o-f_i frekans farkı zaman içinde hep küçük kalacak ve AGS'den geçecektir. Buna göre, kilitlenme sağlandıktan f_o 'nun f_i 'yi izlemesi GKO'nun sürekli çalışma bölgesi boyunca sürer, bu bölgenin alt ve üst sınırlarında kilitli kalır. Bu izleme aralığı $f_o - f_L < f_i < f_o + f_L$ biçiminde verilir ve $2f_L$ 'lik aralığa kilitlenme bölgesi (lock range) denir. Her zaman $f_L \geq f_c$ eşitsizliği vardır. Kilitlenme bölgesi dışına çıktığında bu noktadan sonra kilitlenmenin sağlanabilmesi için giriş frekansının yeniden f_o 'm en azından f_c kadar yakına gelmesi gerekecektir.

PLL'in Bazı Uygulamaları

a) FM Demodülasyonu

Aşağıda Şekil-2'de PLL ile FM demodülasyonu yapan devrenin blok şematiği verilmiştir.

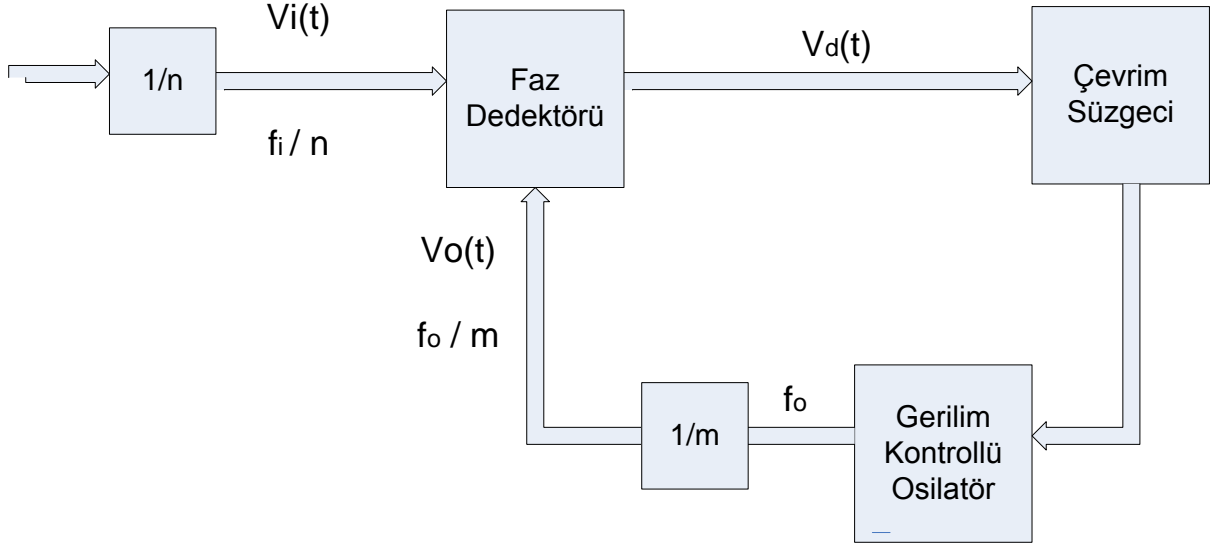


Şekil-2 PLL ile FM Demodülasyonu

b) Frekans Sentezleme

Aşağıda Şekil-3'de PLL ile frekans sentezi yapan devrenin blok şematiği verilmiştir. Burada giriş işareti $1:n$ frekans bölücü, GKO çıkış işareti de $1:m$ frekans bölücü üzerinden faz dedektörüne gönderilmiştir ve kilitlenme durumunda PD'nin iki girişindeki frekanslar eşit

olacağından çıkış frekansı $f_0 = \frac{m}{n} * f_i$ olacaktır. Böylece m ve n bölme oranları değiştirilerek giriş frekansının istenen tam veya kesirli katlarında çıkış frekansı elde edilebilir.



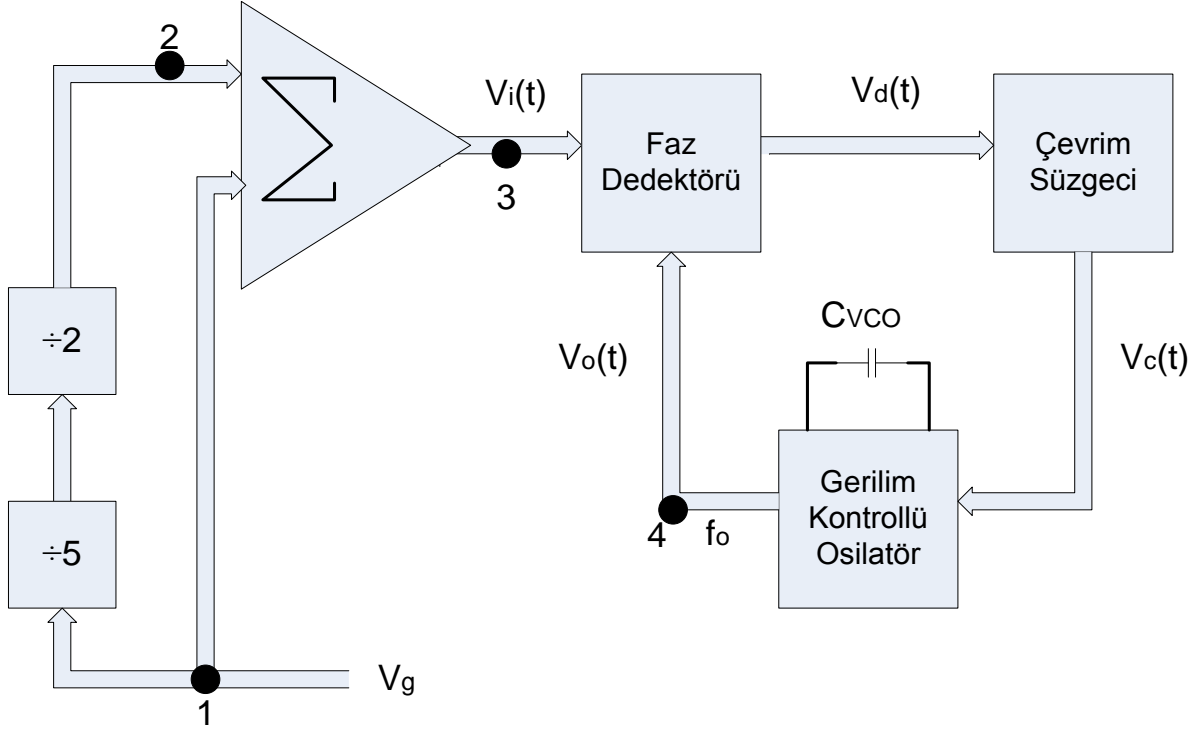
Şekil-3 PLL ile Frekans Sentezleme

c) Frekans Seçme

PLL girişine uygulanan farklı frekanslı işaretler topluluğu arasında birine kilitlenirse, GKO çıkışında yalnızca bu işaret görülür, diğer frekanslara sahip işaretler bastırılmış olur. Seçilecek frekans değiştirilmek istenirse, bu yeni frekansa kilitlenmeyi sağlamak üzere GKO'nun serbest salınım frekansı kaydırılmalıdır (Tuning: Kanal ayarı). Serbest salınım frekansının bu yeni frekansa yeterince yakın olması kilitlenmeyi sağlayacaktır.

Deneyin Yapılışı

Deney boyunca, PLL alçak geçiren süzgeci olarak bir direnç ($R_F=4k7$) ve bir kondansatörden (C_F , dışarıdan bağlanacaktır) oluşan pasif bir süzgeç kullanılacaktır. Ayrıca PLL gerilim kontrollü osilatörünün serbest salınım frekansı f_0 dışarıdan bağlanan bir kondansatör (C_{VCO}) yardımıyla istenilen değere ayarlanabilmektedir.



Şekil-4

1.Kısım : Deneyin bu kısmında amaç toplama devresi ile toplanan farklı frekanslardaki iki işaretin PLL kullanılarak ayrılmasıdır.

(a) C_{VCO} kapasitesi değiştirilerek sinüs işareti seçilecektir. Bu durumda 1, 2, 3 ve 4 nolu noktaların dalga şekilleri çizilecektir.

(b) C_{VCO} kapasitesi değiştirilerek bu kez kare dalga işareti seçilecektir. Bu durumda sadece 4 nolu noktanın dalga şekli çizilecektir.

2.Kısım : Bu kısımda amaç modülasyon ve demodülasyon olaylarını incelemektir. Bu amaçla 1KHz frekansında bir sinüs önce FM modülasyonuna uğrattılacak, daha sonra PLL ile demodüle edilecektir. Şekil-2’de verilen devre kurulacaktır.

(a) Genlik, en küçük genlikten başlanarak artırılacaktır.

3.Kısım : Bu kısımda amaç PLL yardımı ile frekans sentezlemesini gerçekleştirmektir. Şekil-3’de verilen devre kurulacaktır.

(a) $m=5$ ve $n=1$ için ilgili noktaların frekanslarını ölçerek frekans sentezleme işleminin gerçekleştiğini gösteriniz. İlgili noktaların gerilim dalga şekillerini çiziniz.

(b) $m=5$ ve $n=2$ için (a)’daki ölçümleri tekrarlayınız.

Kaynaklar

- 1) Türköz M. Sait, Elektronik
- 2) Smith Sedra, Microelectronic Circuits

DENEY – 10

Anahtarlama Gerilim Regülatörleri

Ön Hazırlık

- **Deneyden Önce Araştırılması Gereken Konular**
 - Anahtarlama Güç Kaynakları
 - LM3524 Entegresinin Çalışma Prensipleri
 - Güç transistörlerinin saturasyon gerilimi değerleri
 - Güç diyotlarının ileri yönde kutuplama gerilimi değerleri
- **Teorik Hesaplamalar**
 - (9) denklemini, föyde bulunmayan ara adımlarını da göstererek çıkarınız.
 - (13) denklemini, föyde bulunmayan ara adımlarını da göstererek çıkarınız.
 - (17) denklemini, föyde bulunmayan ara adımlarını da göstererek çıkarınız.

Not: “Araştırılması Gereken Konular” kısmı yazılı olarak istenmemektedir. İlgili başlıkların deneyin daha iyi anlaşılması için çalışılması/araştırılması gerekmektedir. Teorik hesaplamalar ve Pspice benzetimleri ön çalışma notu içerisinde değerlendirilmek üzere deney öncesinde toplanacaktır. Ayrıca deney sırasında/öncesinde yapılacak yazılı/sözlü sınav da deney notu içerisinde değerlendirilecektir.

Amaç

Regülatörler, elektronik devrelerin beslenmesinde kullanılan gerilimleri üreten yapılardır. İstenen gerilimleri eldeki kaynakları kullanarak üretmesinin yanında mümkün olduğunca sabit tutması da beklenir.

Ön Bilgi

Günümüzde kullanılan regülatör devreleri doğrusal (linear) regülatörler ve anahtarlamalı gerilim regülatörleri olmak üzere ikiye ayrılır. Elektronige Giriş Laboratuvarı deneyleri sırasında incelenen doğrusal gerilim regülatörleri; transformatör, diyot ve kondansatörden oluşan bir gerilim kaynağı ile buna seri bağlı regülatör devresinden oluşur. Gücün büyük kısmı regülatör devresindeki transistör üzerinde harcandığından dolayı bu tür regülatörlerin verimi düşüktür (%25 - %50). Anahtarlamalı gerilim regülatörlerinin en büyük yararı verimlerinin yüksek olmasıdır. Ayrıca çıkış gerilimi, giriş geriliminden daha büyük olabileceği gibi giriş gerilimiyle ters işarette de olabilir. Diğer yandan anahtarlamalı gerilim regülatörlerinin de bazı kötü yanları vardır:

- Kontrol işlemi, daha karmaşık bir elektronik evre ile sağlanmaktadır.
- Çıkış geriliminin dalgalılığı daha fazladır.
- Yük değişimlerine daha yavaş cevap verir.
- Yapı elektromanyetik etkileşmeye ve radyo frekanslı girişime neden olur.
- Yapı düşük seviyeli işaretlerin işlendiği devrelerin beslemesine uygun değildir.

Anahtarlamalı gerilim regülatörlerinde çıkış gerilimi, anahtarın açılıp kapanmasıyla elde edilip değişken gerilimin bir alçak geçiren süzgeç yardımıyla ortalamasının alınması yoluyla elde edilmektedir. Kontrol devresi çıkış geriliminin istenilen değere gelmesini sağlayacak şekilde anahtarı açıp kapamaktadır.

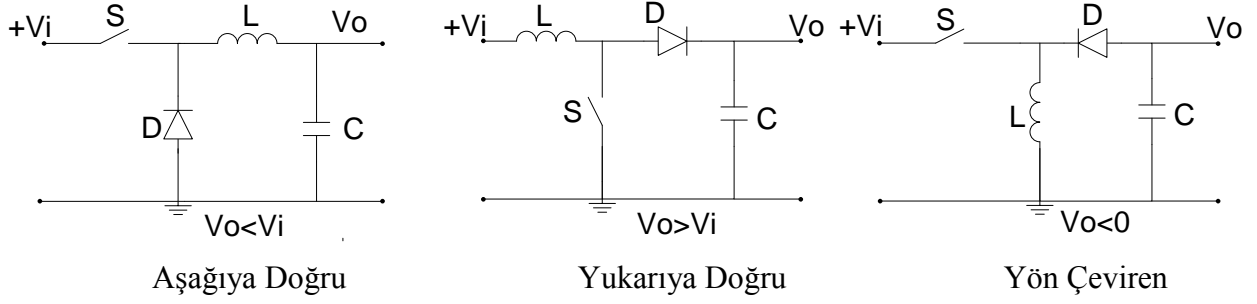
Yukarıdan da anlaşılacağı üzere anahtarlamalı gerilim regülatörleri üç ana bloktan oluşur:

- 1- Anahtar görevini üstlenen bir güç transistörü.
- 2- Darbe boşluk veya darbe periyot oranını (duty cycle) ayarlayan kontrol devresi.
- 3- Darbeli giriş gücünü sürekli güce çeviren çıkış devresi.

Anahtarlamalı güç kaynaklarını, çıkış devresine göre de üç kısma ayırabiliriz.

- 1- Tek uçtan sonlandırmalı bobinli devreler
- 2- Diyot-Kondansatör devreleri
- 3- Transformatör bağlaşmalı devrelerdir.

Yukarıdaki ilk iki tür kendi aralarında aşağıya doğru (Step-Down), yukarıya doğru (Step-Up) ve yön çeviren (Polarity Inverting) olmak üzere üçe ayrılır. Tek uçtan sonlandırmalı bobinli devreler için devre şemaları Şekil-1'de topluca gösterilmiştir.



Şekil-1. Tek Uçtan Sonlandırılmalı Bobinli Devreler

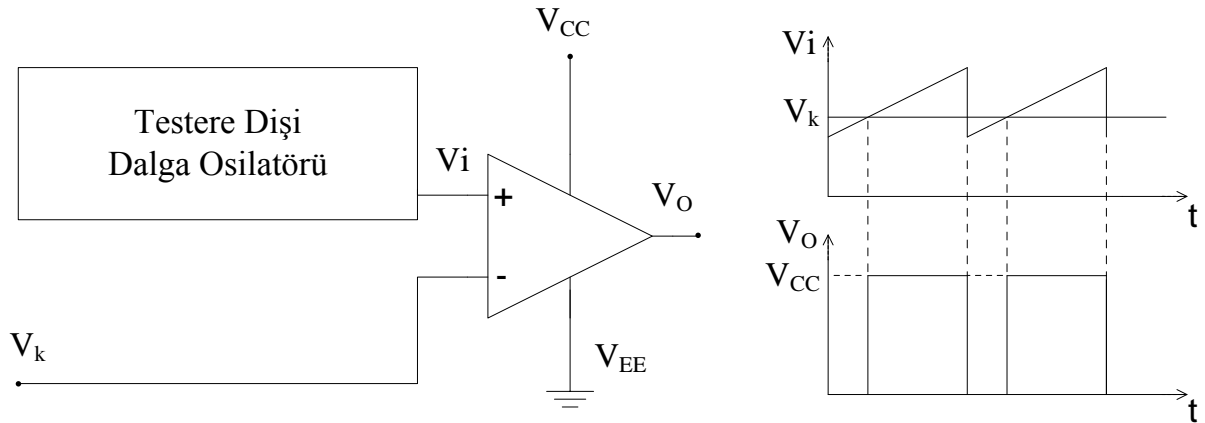
Şekillerden görüldüğü gibi aşağıya doğru regülatör devresinin çıkış gerilimi giriş geriliminden düşük, yukarıya doğru çıkış gerilimi giriş geriliminden büyük ve yön çevirende ise çıkış gerilimi giriş geriliminin ters işaretlisi olmaktadır.

Diyot-Kondansatör devreleri yüksek akımlı devrelerin beslemesine uygun değildir. Genellikle gerilim çoğaltıcı olarak kullanılırlar. Transformator bağlaşmalı devrelerden de daha çok yüksek akımlı devrelerinin beslenmesinde yararlanılır.

Diğer yandan anahtarlama gerilim regülatörleri, darbe-boşluk oranının kontrolü için kullanılan yöntemle bağlı olarak üçe ayrılır.

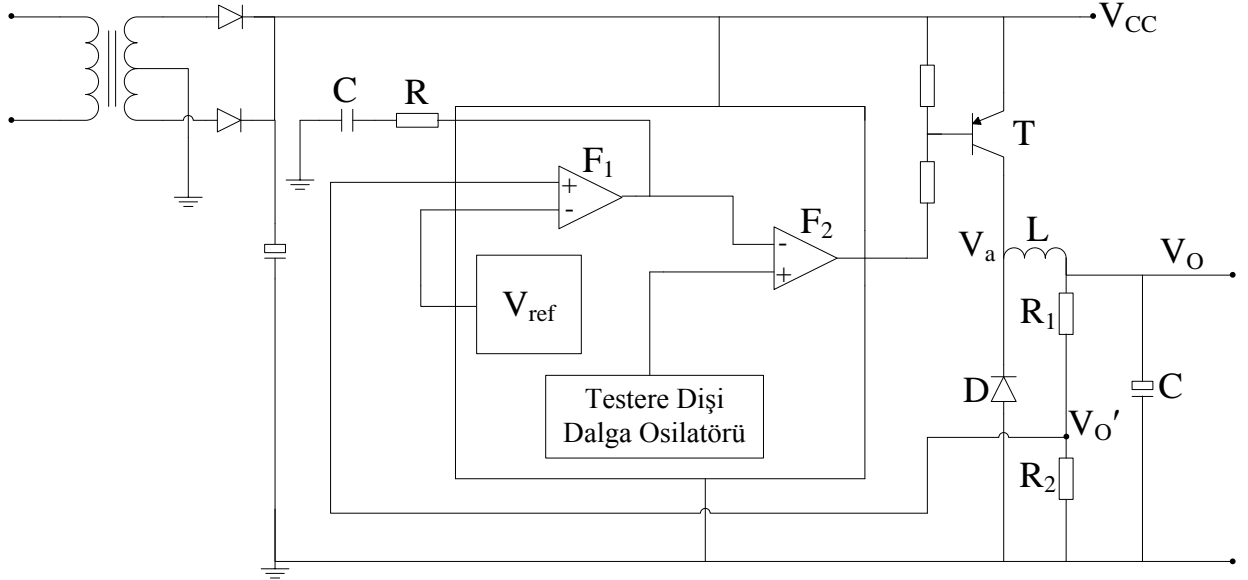
- 1- Sabit frekans-değişken darbe süresi ile çalışma
- 2- Sabit darbe-değişken frekans ile çalışma
- 3- Sabit boşluk- değişken frekans ile çalışma

Birinci şıktaki kontrol şekli, darbe genişlik modülatörü (PWM) kullanılarak yapılır. Bir darbe genişlik modülatörü Şekil-2'de gösterilmiştir. Osilatörün ürettiği testere dişi işaretin anlık değerinin V_k geriliminden büyük olduğu zaman aralıklarında karşılaştırıcının çıkışı yaklaşık V_{CC} değerinde, diğer zamanlarda V_{EE} geriliminde (burada 0V) olur. Böylece V_k gerilimi değiştirilerek çıkıştaki işaretin darbe genişliği değiştirilir. Çıkış işaretinin frekansı osilatör frekansında olur.



Şekil-2. Darbe Genişlik Modülatörü (PWM)

Şekil-3'te, deney düzeneğinde kullanılan devreye benzeyen aşağıya doğru modunda çalışan bir anahtarlamalı gerilim regülatörü devresi görülmektedir. Günümüzde blok içindeki kısımları içeren birçok tümdevre bulunmaktadır. LM3524'de bunlardan biridir ve deney düzeneğinde kullanılmıştır.



Şekil-3. Aşağıya Doğru Anahtarlamalı Gerilim Regülatörü Devresi

Devrede T transistörü anahtar gibi çalıştırılmaktadır. Yani transistör iletimde olduğu zaman V_a noktası $V_{CC} - |V_{CEsat}|$ geriliminde olmakta, kesimde olduğu zaman V_a noktası serbest kalmaktadır. Böylece V_a noktasında oluşan darbeler dizisinin ortalama değeri L, C ve D elemanlarından oluşan çıkış devresi yardımıyla alınıp V_O çıkış gerilimi elde edilmektedir. Diğer yandan V_O geriliminin R_1 ve R_2 dirençleriyle oluşturulan gerilim bölücüsüyle örneklenmiş değeri, F_1 karşılaştırıcısı yardımıyla V_{ref} gerilimi ile karşılaştırılır. Aradaki fark kuvvetlendirilerek testere dişi osilatör ve F_2 'den oluşan darbe genişlik modülatörü sürülür. Darbe genişlik modülatörünün çıkışındaki kare dalga biçimindeki işaret transistörü açıp kapamakta kullanılır. Devredeki negatif geribesleme sayesinde darbe-genişlik modülatörü çıkışındaki kare dalganın darbe-boşluk oranı, V_{ref} ile V_O arasındaki farkı azaltacak şekilde değişir. Sürekli halde V_{ref} ile V_O arasındaki fark sifıra yaklaşır. Bu durumda çıkış gerilimi

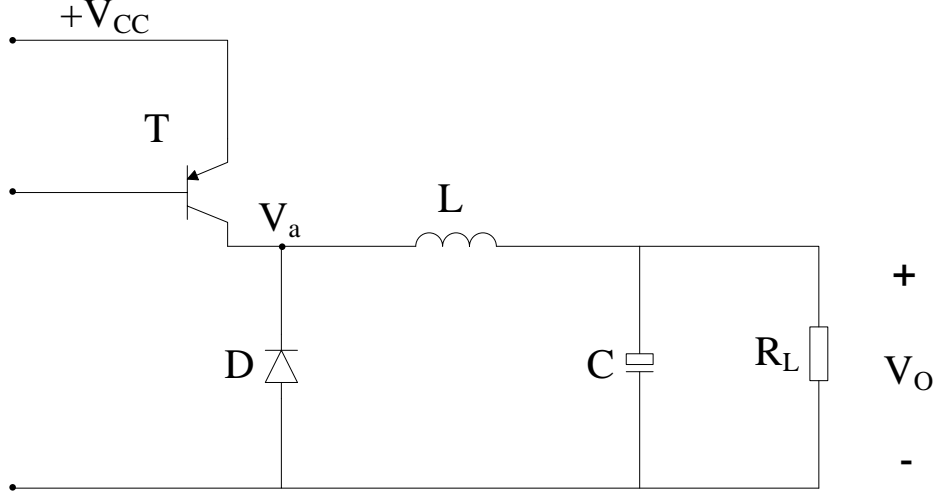
$$V_O = V_{ref} \left(\frac{R_1}{R_2} + 1 \right) \quad (1)$$

olur.

Devredeki negatif geribeslemenin kararlılığını R ve C elemanları sağlamaktadır. Yukarıya doğru ve yön çeviren modlarına göre devre tekrar düzenlenirken, F_1 fark kuvvetlendiricisinin girişlerinin negatif geribesleme oluşacak şekilde değiştirilmesi gerekmektedir.

Aşağıya Doğru Regülatör

Bu regülatörün çıkış devresi Şekil-4'teki gibidir. C kondansatörü T_{on} ve T_{off} süreleri boyunca çıkış gerilimini sabit tutmaktadır ve değeri çıkış akımındaki dalgalılığı belirlemektedir.



Şekil-4. Aşağıya Doğru Regülatör Yapısı

Transistörün iletimde bulunduğu T_{on} süresi boyunca endüktansın uçlarındaki gerilim

$$V_L = V_{CC} - |V_{CEsat}| - V_O \quad (2)$$

olmaktadır.

Bir endüktansın uçlarındaki gerilim, $V_L = L \cdot \left(\frac{\Delta I_L}{\Delta t}\right)$ ile tanımlıdır. Endüktansın uçları arasındaki gerilim sabit olduğunda akımı doğrusal olarak artır. Bunun sonucu olarak endüktansın T_{on} süresinin sonunda ve başında sahip olduğu akımların farkı

$$\Delta I_{L1} = (V_{CC} - |V_{CEsat}| - V_O) \cdot T_{on} / L \quad (3)$$

olmaktadır.

Transistör tıkamaya girince endüktans o an akıtmakta olduğu akımın yönünü koruyacak şekilde uçlarındaki gerilimin yönünü değiştirir ve diyodu ilettime sokarak T_{off} süresi boyunca akımını akıtmaya devam eder. Bu süre boyunca endüktansın uçlarında

$$V_L = V_O + V_D \quad (4)$$

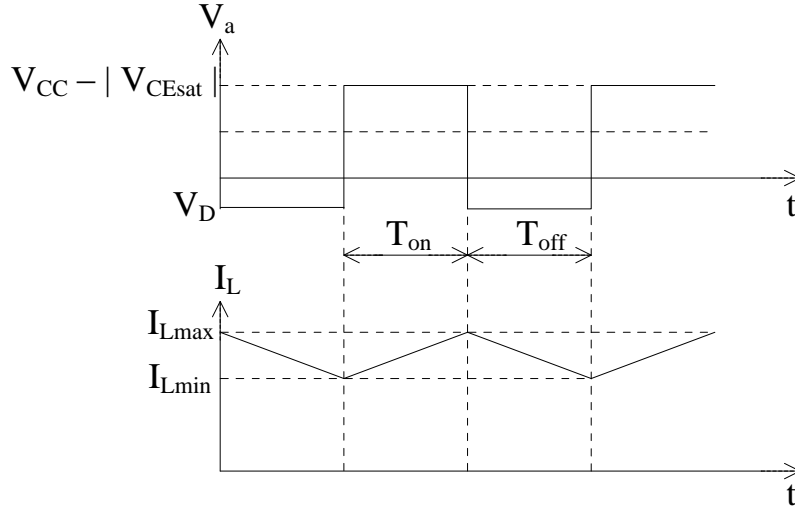
gerilimi vardır.

Endüktansın T_{off} süresinin başında ve sonunda sahip olduğu akımların farkı

$$\Delta I_{L2} = (V_O + V_D) \cdot T_{off} / L \quad (5)$$

olur.

Bu çalışma şekli için V_a ve I_L 'nin değişimi Şekil-5'te gösterilmiştir.



Şekil-5. Aşağıya Doğru Regülatör için V_a ve I_L 'nin Değişimi

Sürekli halde $\Delta I_{L1} = \Delta I_{L2}$ olacağından (3) ve (5) denklemlerinin eşitliğinden

$$\frac{T_{on}}{T_{off}} = \frac{V_0 + V_D}{V_{CC} - |V_{CEsat}| - V_0} \quad (6)$$

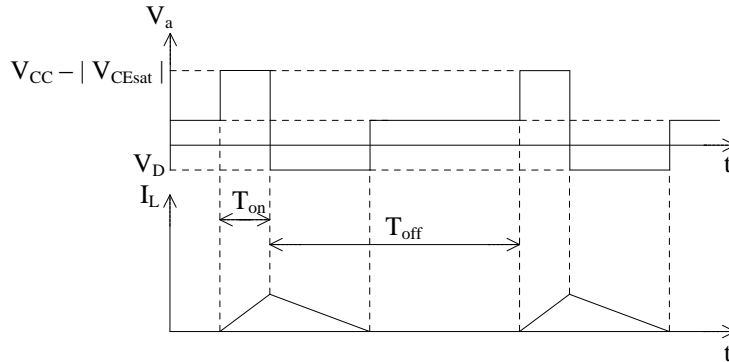
bulunur.

V_{CEsat} ve V_D ihmal edilirse, $T = T_{on} + T_{off}$ kare dalganın periyodu olmak üzere;

$$V_0 = V_{CC} \cdot \frac{T_{on}}{T} \quad (7)$$

bulunur.

(7) Denkleminden görüldüğü gibi çıkış gerilimi, T_{on} süresi değiştirilerek ayarlanabilmektedir. Ancak (7) bağıntısının geçerli olabilmesi çıkıştan düşük bir I_{ymin} akımı akıtılmalıdır. Çıkışa bu akımdan daha düşük bir akım akıtacak bir yük bağlayacak olursak endüktansın T_{on} süresinde depoladığı akım T_{off} süresi bitmeden sıfıra düşer. Bunun sonucu olarak endüktansın uçlarındaki gerilim sıfır olur. Bu duruma ilişkin V_a ve I_L 'nin dalga şekilleri Şekil-6'daki gibidir.



Şekil-6. Çıkıştan I_{ymin} 'den Küçük Bir Akım Akıtılmak İstenmesi Durumu

Genel olarak bir güç kaynağının verimi (8) denklemi ile tanımlıdır.

$$\eta = \frac{P_{yük}}{P_{in}} = \frac{I_o V_o}{I_{in} V_{in}} \quad (8)$$

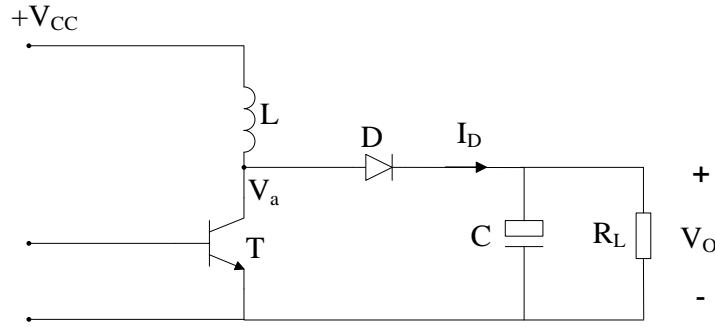
Burada I_o ortalama yük akımı olup $V_{in} = V_{CC}$ ve $I_{in} = I_o \cdot T_{on} / T$ değerleri alınıp gerekli düzenlemeler yapıldığında;

$$\eta = \frac{V_{CC} + V_D - |V_{CEsat}|}{V_D + V_o} \cdot \frac{V_o}{V_{CC}} \quad (9)$$

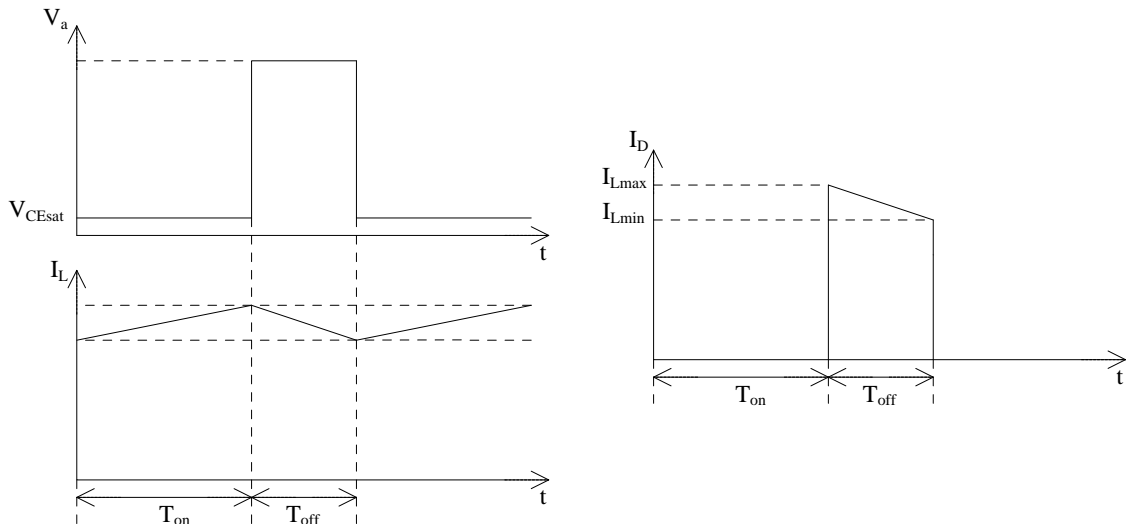
bulunur.

Yukarıya Doğru Regülatör

Bu regülatör türünde çıkış devresi Şekil-7'deki gibidir. I_L , I_D ve V_a 'nın dalga şekilleri Şekil-8'de gösterilmiştir.



Şekil-7. Yukarıya Doğru Regülatör Yapısı



Şekil-8. Yukarıya Doğru Regülatörde I_L , I_D ve V_a 'nın Dalga Şekilleri

Devrenin verebileceği en düşük çıkış gerilimi $V_L = V_{CC} - V_D$ değeridir. C kondansatörünün görevi bundan önceki regülatör devresindeki gibidir.

Transistörün iletimde olduğu T_{on} süresi boyunca endüktansın uçlarında $V_{CC}-V_{CEsat}$ gerilimi vardır. Transistör tıkamaya girince endüktans akımını diyodu iletime sokarak akıtmaya devam eder. Bu durumda endüktansın uçlarında $V_L=V_O+V_D-V_{CC}$ gerilimi bulunur. Sürekli halde T_{on} ve T_{off} sürelerinde endüktansın sahip olduğu akımların farkı birbirine eşittir. Yani,

$$\frac{T_{on}(V_{CC}-V_{CEsat})}{L} = \frac{T_{off}(V_O+V_D-V_{CC})}{L} \quad (10)$$

olur.

V_D ve V_{CEsat} ihmal edilirse;

$$V_O = V_{CC} \frac{T_{on}+T_{off}}{T_{off}} \quad (11)$$

elde edilir.

Formülde görülen $T=T_{on}+T_{off}$ periyot olup sabit olduğundan dolayı T_{off} süresi azaltıldığında çıkış gerilimi V_{CC} 'den büyük değerlere ulaşmaktadır. Yine bu formüllerin geçerli olabilmesi için çıkıştan belli bir I_{min} akımının üstünde bir akım akıtılmalıdır.

Yukarıya doğru regülatörünün giriş akımı her zaman yük akımından büyüktür. Kayıpsız durumda giriş gücü çıkış gücüne eşit olup $I_{in} \cdot V_{in} = I_O \cdot V_O$ geçerlidir. Bu bağıntıda V_O yerine (11) bağıntısını koyarsak,

$$I_{in} = I_O \cdot T / T_{off} \quad (12)$$

bulunur.

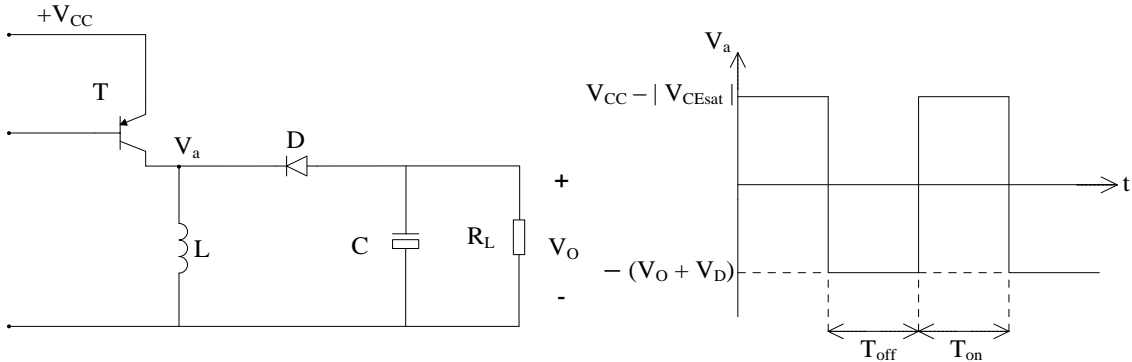
Buradaki I_{in} , V_{in} , I_O ve V_O ortalama değerlerdir. Devrenin verimi ise,

$$\eta = \frac{V_{CC}-V_{CEsat}}{V_O+V_D-V_{CEsat}} \cdot \frac{V_O}{V_{CC}} \quad (13)$$

bağıntısıyla hesaplanır.

Yön Çeviren Regülatör

Bu regülatör devresinde kullanılan çıkış devresi ve V_a 'nın değişimi Şekil-9'da gösterilmiştir.



Şekil-9. Yön Çeviren Regülatör Yapısı ve V_a Geriliminin Değişimi

Transistörün iletimde olduğu T_{on} süresi boyunca endüktansın uçlarında $V_L = V_{CC} - |V_{CEsat}|$ gerilimi vardır. Transistör tıkamaya girince endüktans depoladığı akımı akıtmaya devam edecek şekilde uçlarındaki gerilimin polaritesini ters çevirir, D diyodunu ilettime sokarak akımını akıtmaya devam eder. Bu süre boyunca $V_L = -(V_O + V_D)$ olur.

Sürekli halde T_{on} ve T_{off} süresi boyunca endüktansın sahip olduğu akımların farkı birbirine eşittir. Yani:

$$\frac{T_{on}(V_{CC} - |V_{CEsat}|)}{L} = \frac{-T_{off}(V_O + V_D)}{L} \quad (14)$$

'dir.

V_{CEsat} ve V_D , V_{CC} ile V_O 'nun yanında ihmal edilirse;

$$V_O = -V_{CC} \frac{T_{on}}{T_{off}} \quad (15)$$

bulunur.

Yukarıdaki (15) bağıntısı da, belirli bir yük akımı değerinin üstündeki akım değerleri için geçerlidir. Bu akım değerinin altındaki yük akımlarında aşağıya doğru regülatör konusunda söz edilen durum oluşur.

Diğer yandan regülatörün giriş akımı

$$I_{in} = |I_O| \cdot T_{on} / T_{off} \quad (16)$$

bağıntısıyla bulunur. Verimi ise;

$$\eta = \frac{|V_O|}{V_D + |V_O|} \cdot \frac{V_{CC} - |V_{CEsat}|}{V_{CC}} \quad (17)$$

bağıntısı verir.

Kaynaklar

- H. H. Kuntman, Endüstriyel Elektronik, Birsen Yayınevi, İstanbul, 2003
- M. S. Türköz, Elektronik, Birsen Yayınevi, İstanbul, 2004.
- D. Leblebici, Elektronik Devreleri, İTÜ Matbaası, 1992.